19-3173; Rev 2; 9/04



专为台式机、笔记本和图形卡提供的集成式DDR电源方案

概述

MAX8550/MAX8551集成了一个用于产生V_{DDQ}的同步buck PWM控制器、一个用于产生V_{TT}的具有供出及吸收能力的LDO线性稳压器以及一个用于产生V_{TTR}的10mA基准输出缓冲器。Buck控制器驱动两个外部N沟道MOSFET，可从2V至28V的输入产生最低0.7V的输出，输出电流可高达15A。LDO可吸收或供出高达1.5A的连续电流及3A峰值电流。LDO输出及10mA基准缓冲输出均能跟踪REFIN电压。这些特性使得MAX8550/MAX8551非常适合于台式机、笔记本电脑及图形卡中的DDR内存应用。

MAX8550/MAX8551中的PWM控制器采用Maxim专有的Quick-PWM™架构，具有高达600kHz的可编程开关频率。这种控制方案易于处理宽范围的输入/输出电压比，并具有100ns的负载瞬变响应，同时还能保持高效率及相对恒定的开关频率。MAX8550提供完全可编程的UVP/OVP及跳跃模式选项，非常适合于便携式设备应用。跳跃模式在较轻负载下可提供高效率。MAX8551的目标应用为台式机及图形卡，不具有跳脉冲功能。

VTT及VTTR输出能够以1%的精度跟踪$V_{REFIN}/2$。LDO调节器的高带宽可提供优异的瞬态响应，无需使用大容量电容，因此可减少尺寸及成本。

Buck控制器与LDO稳压器具有独立的电流限制。通过监视低边MOSFET的漏－源压降，实现了Buck调节器的可调节、无损耗、折返式电流限制。此外，器件还内置有过/欠压保护机制。一旦过流故障排除，调节器即可重新进入软启动，这有利于减少短路时的功耗。通过$\overline{SHDNA}$、$\overline{SHDNB}$及STBY输入，MAX8550/MAX8551允许灵活的排序及待机功率管理。

MAX8550及MAX8551均备有细小的5mm x 5mm、28引脚薄型QFN封装。

应用

DDR I及DDR II存储器电源

台式计算机

笔记本电脑及台式笔记本电脑

图形卡

游戏控制台

RAID

网络

特性

Buck控制器
- 100ns负载阶跃响应的Quick-PWM
- 高达95%的效率
- 2V至28V输入电压范围
- 1.8V/2.5V固定或0.7V至5.5V可调输出
- 最高600kHz的可选开关频率
- 折返式可编程电流限制
- 1.7ms数字软启动及独立的关断控制
- 过/欠压保护选项
- Power-Good窗口比较器

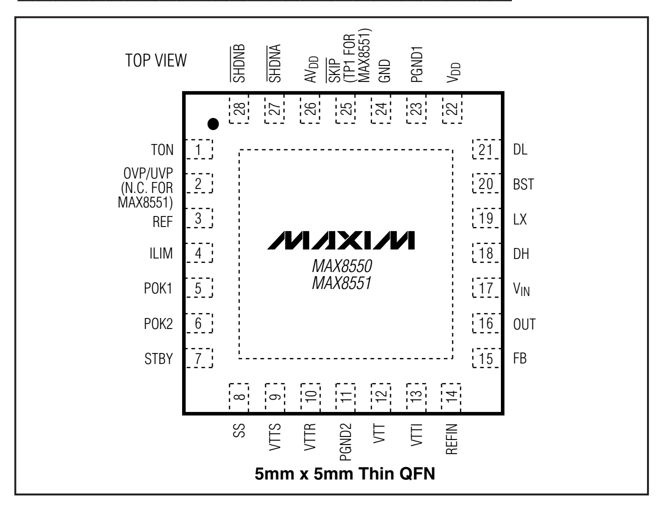
LDO单元
- 完全集成的VTT及VTTR功能
- VTT具有±3A的供出/吸收能力
- VTT与VTTR输出跟踪V_{REFIN} / 2
- 全陶瓷输出电容设计
- 1.0V至2.8V输入电压范围
- Power-Good窗口比较器

定购信息

PART	TEMP RANGE	PIN-PACKAGE
MAX8550ETI	-40°C to +85°C	28 5mm × 5mm TQFN
MAX8550ETI+	-40°C to +85°C	28 5mm × 5mm TQFN
MAX8551ETI	-40°C to +85°C	28 5mm × 5mm TQFN

+表示无铅封装。

引脚配置



典型工作电路见本数据手册末尾。

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

ABSOLUTE MAXIMUM RATINGS

V_{IN} to GND ....-0.3V to +30V
V_{DD}, AV_{DD}, VTTI to GND ....-0.3V to +6V
$\overline{SHDNA}$, $\overline{SHDNB}$, REFIN to GND ....-0.3V to +6V
SS, POK1, POK2, $\overline{SKIP}$, ILIM, FB to GND ....-0.3V to +6V
STBY, TON, REF, UVP/OVP to GND ....-0.3V to (AV_{DD} + 0.3V)
OUT, VTTR to GND ....-0.3V to (AV_{DD} + 0.3V)
DL to PGND1 ....-0.3V to (V_{DD} + 0.3V)
DH to LX ....-0.3V to (V_{BST} + 0.3V)
LX to BST ....-6V to +0.3V
LX to GND ....-2V to +30V
VTT to GND ....-0.3V to (V_{VTTI} + 0.3V)
VTTS to GND ....-0.3V to (AV_{DD} + 0.3V)
PGND1, PGND2 to GND ....-0.3V to +0.3V
REF Short Circuit to GND ....Continuous
Continuous Power Dissipation (T_A = +70°C)
28-Pin 5mm x 5mm TQFN (derate 35.7mW/°C above +70°C) 2.86W
Operating Temperature Range ....-40°C to +85°C
Junction Temperature ....+150°C
Storage Temperature Range ....-65°C to +165°C
Lead Temperature (soldering, 10s) ....+300°C

Stresses beyond those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only, and functional operation of the device at these or any other conditions beyond those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS

(V_{IN} = +15V, V_{DD} = AV_{DD} = $V_{\overline{SHDNA}}$ = $V_{\overline{SHDNB}}$ = V_{BST} = V_{ILIM} = 5V, V_{OUT} = V_{REFIN} = V_{VTTI} = 2.5V, UVP/OVP = STBY = FB = $\overline{SKIP}$ = GND, PGND1 = PGND2 = LX = GND, TON = OPEN, V_{VTTS} = V_{VTT}, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MAIN PWM CONTROLLER						
Input Voltage Range	V_{IN}		2		28	V
	V_{DD}, AV_{DD}		4.5		5.5	
Output Adjust Range	V_{OUT}		0.7		5.5	V
Output Voltage Accuracy (Note 2)		FB = OUT	0.693	0.7	0.707	V
		FB = GND	2.47	2.5	2.53	
		FB = V_{DD}	1.78	1.8	1.82	
Soft-Start Ramp Time	t_{SS}	Rising edge of $\overline{SHDNA}$ to full current limit		1.7		ms
On-Time	t_{ON}	V_{IN} = 15V, V_{OUT} = 1.5V (Note 3); TON = GND (600kHz)	170	194	219	ns
		TON = REF (450kHz)	213	243	273	
		TON = OPEN (300kHz)	316	352	389	
		TON = AV_{DD} (200kHz)	461	516	571	
Minimum Off-Time	t_{OFF_MIN}	(Note 3)	200	300	450	ns
V_{IN} Quiescent Supply Current	I_{IN}			25	40	µA
V_{IN} Shutdown Supply Current		$\overline{SHDNA}$ = $\overline{SHDNB}$ = GND		1	5	µA
AV_{DD} Quiescent Supply Current	I_{AVDD}	All on (PWM, VTT, and VTTR on)		2.5	5	mA
		$\overline{SHDNA}$ = GND (only VTT and VTTR on)		2	4	
		STBY = AV_{DD} (only VTTR and PWM on)		1	2	
		$\overline{SHDNB}$ = GND (only PWM on)		0.5	1	
AV_{DD} + V_{DD} Shutdown Supply Current		$\overline{SHDNA}$ = $\overline{SHDNB}$ = GND		2	10	µA
AV_{DD} Undervoltage-Lockout Threshold		Rising edge of V_{IN}	4.1	4.25	4.4	V
		Hysteresis		50		mV
V_{DD} Quiescent Supply Current	I_{VDD}	Set V_{FB} = 0.8V		1	5	µA

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = +15V, V_{DD} = AV_{DD} = $V_{\overline{SHDNA}}$ = $V_{\overline{SHDNB}}$ = V_{BST} = V_{ILIM} = 5V, V_{OUT} = V_{REFIN} = V_{VTTI} = 2.5V, UVP/OVP = STBY = FB = $\overline{SKIP}$ = GND, PGND1 = PGND2 = LX = GND, TON = OPEN, V_{VTTS} = V_{VTT}, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
REFERENCE						
Reference Voltage	V_{REF}	AV_{DD} = 4.5V to 5.5V; I_{REF} = 0	1.98	2	2.02	V
Reference Load Regulation		I_{REF} = 0 to 50µA			0.01	V
REF Undervoltage Lockout		V_{REF} rising		1.93		V
		Hysteresis		300		mV
FAULT DETECTION						
OVP Trip Threshold (Referred to Nominal V_{OUT})		UVP/OVP = AVDD (Note 4)	112	116	120	%
UVP Trip Threshold (Referred to Nominal V_{OUT})			65	70	75	%
POK1 Trip Threshold (Referred to Nominal V_{OUT})		Lower level, falling edge, 1% hysteresis	87	90	93	%
		Upper level, rising edge, 1% hysteresis	107	110	113	
POK2 Trip Threshold (Referred to Nominal V_{VTTS} and V_{VTTR})		Lower level, falling edge, 1% hysteresis	87.5	90	92.5	%
		Upper level, rising edge, 1% hysteresis	107.5	110	112.5	
UVP Blanking Time		From rising edge of $\overline{SHDNA}$	10	20	40	ms
OVP, UVP, POK_ Propagation Delay		OVP not applicable in MAX8551		10		µs
POK_ Output Low Voltage		I_{SINK} = 4mA			0.3	V
POK_ Leakage Current		$V_{POK_}$ = 5.5V, V_{FB} = 0.8V, V_{VTTS} = 1.3V			1	µA
ILIM Adjustment Range	V_{ILIM}		0.25		2.00	V
ILIM Input Leakage Current					0.1	µA
Current-Limit Threshold (Fixed) PGND1 to LX			45	50	55	mV
Current-Limit Threshold (Adjustable) PGND1 to LX		V_{ILIM} = 2V	170	200	235	mV
Current-Limit Threshold (Negative Direction) PGND1 to LX		$\overline{SKIP}$ = AV_{DD} (Note 4)	-75	-60	-45	mV
Current-Limit Threshold (Negative Direction) PGND1 to LX		$\overline{SKIP}$ = AV_{DD}, V_{ILIM} = 2V (Note 4)		-250		mV
Zero-Crossing Detection Threshold PGND1 to LX				3		mV
Thermal-Shutdown Threshold				+160		°C
Thermal-Shutdown Hysteresis				15		°C



ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = +15V, V_{DD} = AV_{DD} = $V_{\overline{SHDNA}}$ = $V_{\overline{SHDNB}}$ = V_{BST} = V_{ILIM} = 5V, V_{OUT} = V_{REFIN} = V_{VTTI} = 2.5V, UVP/OVP = STBY = FB = $\overline{SKIP}$ = GND, PGND1 = PGND2 = LX = GND, TON = OPEN, V_{VTTS} = V_{VTT}, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
MOSFET DRIVERS						
DH Gate-Driver On-Resistance		V_{BST} - V_{LX} = 5V		1	4	Ω
DL Gate-Driver On-Resistance in High State				1	4	Ω
DL Gate-Driver On-Resistance in Low State				0.5	3	Ω
Dead Time (Additional to Adaptive Delay)		DH falling to DL rising		30		ns
		DL falling to DH rising		30		
INPUTS AND OUTPUTS						
Logic Input Threshold ($\overline{SHDN_}$, STBY, $\overline{SKIP}$ (Note 4))		Rising edge	1.20	1.7	2.20	V
		Hysteresis		225		mV
Logic Input Current ($\overline{SHDN_}$, STBY, $\overline{SKIP}$ (Note 4))			-1		+1	µA
Dual-Mode™ Input Logic Levels (FB)		Low (2.5V output)			0.05	V
		High (1.8V output)	2.1			
Input Bias Current (FB)			-0.1		+0.1	µA
Four-Level Input Logic Levels (TON, OVP/UVP (Note 4))		High	AV_{DD} - 0.4			V
		Floating	3.15		3.85	
		REF	1.65		2.35	
		Low			0.5	
Logic Input Current (TON, OVP/UVP (Note 4))			-3		+3	µA
OUT Input Resistance		FB = GND	90	175	350	kΩ
		FB = AV_{DD}	70	135	270	
		FB adjustable mode	400	800	1600	
OUT Discharge-Mode On-Resistance		(Note 4)		10	25	Ω
DL Turn-On Level During Discharge Mode (Measured at OUT)		(Note 4)		0.3		V

Dual Mode is a trademark of Maxim Integrated Products, Inc.

ELECTRICAL CHARACTERISTICS (continued)

(V_{IN} = +15V, V_{DD} = AV_{DD} = $V_{\overline{SHDNA}}$ = $V_{\overline{SHDNB}}$ = V_{BST} = V_{ILIM} = 5V, V_{OUT} = V_{REFIN} = V_{VTTI} = 2.5V, UVP/OVP = STBY = FB = $\overline{SKIP}$ = GND, PGND1 = PGND2 = LX = GND, TON = OPEN, V_{VTTS} = V_{VTT}, T_A = -40°C to +85°C, unless otherwise noted. Typical values are at T_A = +25°C.) (Note 1)

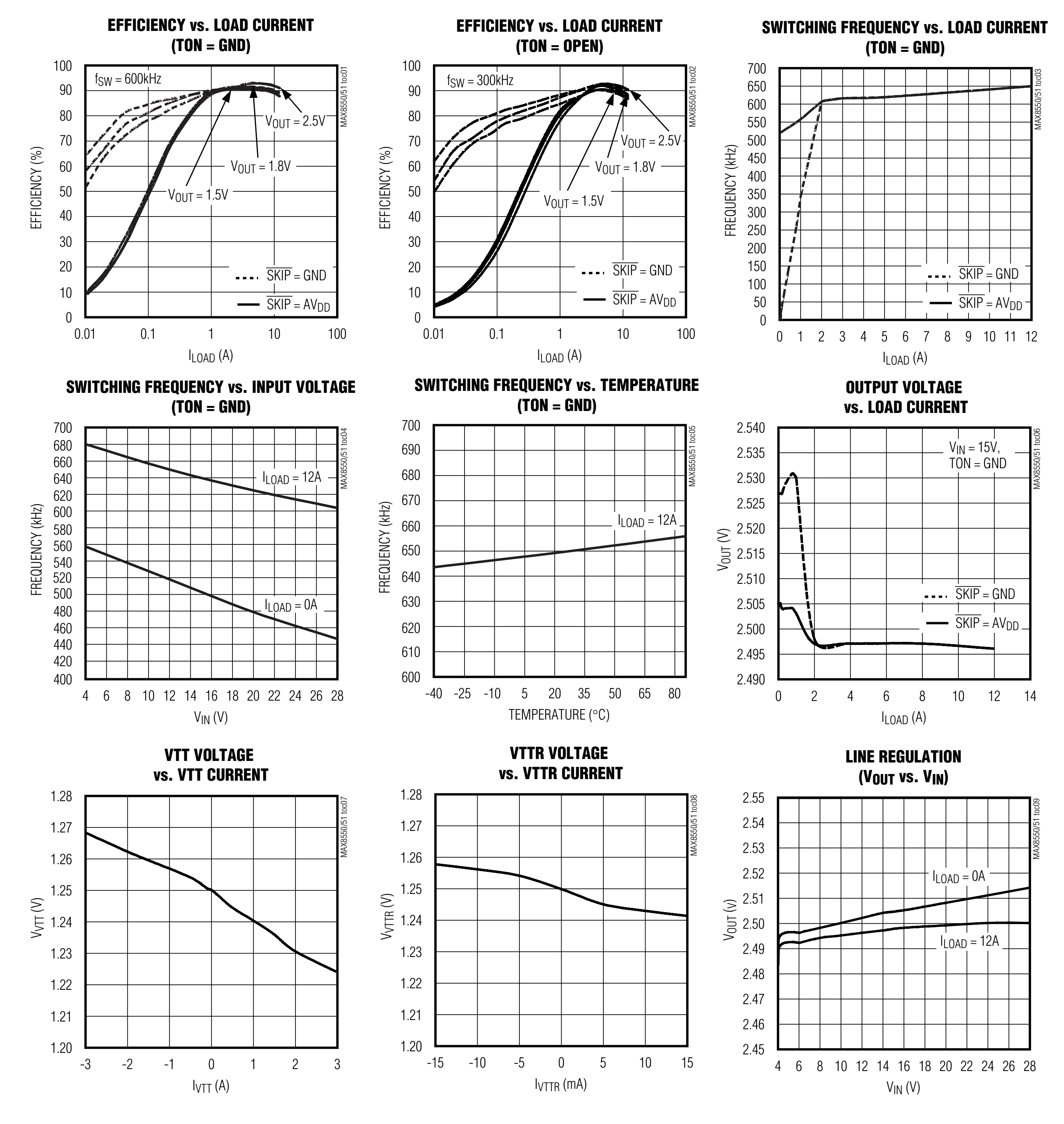
PARAMETER	SYMBOL	CONDITIONS	MIN	TYP	MAX	UNITS
LINEAR REGULATORS (VTTR AND VTT)						
VTTI Input Voltage Range	V_{VTTI}		1		2.8	V
VTTI Supply Current	I_{VTTI}	I_{VTT} = I_{VTTR} = 0		<0.1	1	mA
VTTI Shutdown Current		$\overline{SHDNA}$ = $\overline{SHDNB}$ = GND			10	µA
REFIN Input Impedance		V_{REFIN} = 2.5V	12	20	30	kΩ
REFIN Range	V_{REFIN}		1		2.8	V
REFIN Lockout Threshold		V_{REFIN} rising	0.7		0.9	V
		Hysteresis		75		mV
Soft-Start Charge Current	I_{SS}	V_{SS} = 0		4		µA
VTT Internal MOSFET High-Side On-Resistance		I_{VTT} = -100mA, V_{VTTI} = 1.5V, AV_{DD} = 4.5V			0.3	Ω
VTT Internal MOSFET Low-Side On-Resistance		I_{VTT} = 100mA, AV_{DD} = 4.5V			0.3	Ω
VTT Output Accuracy (Referred to V_{REFIN} / 2)		V_{REFIN} = 1.5V or 2.5V, I_{VTT} = 1mA	-1		+1	%
VTT Load Regulation		V_{REFIN} = 2.5V, I_{VTT} = 0 to ±1.5A		1		%
		V_{REFIN} = 1.5V, I_{VTT} = 0 to ±1A		1		
VTT Current Limit		VTT = 0 or VTTI	±3	±5	±6.5	A
VTTS Input Current	I_{VTTS}	V_{VTTS} = 1.5V, VTT open		0.1	1	µA
VTTR Output Error (Referred to V_{REFIN} / 2)		V_{REFIN} = 1.5V or 2.5V, I_{VTTR} = 0	-1		+1	%
VTTR Current Limit		V_{VTTR} = 0 or V_{VTTI}	±23	±40	±60	mA

Note 1: Specifications to -40°C are guaranteed by design, not production tested.
Note 2: When the inductor is in continuous conduction, the output voltage has a DC regulation level higher than the error-comparator threshold by 50% of the ripple. In discontinuous conduction, the output voltage has a DC regulation level higher than the trip level by approximately 1.5% due to slope compensation.
Note 3: On-time and off-time specifications are measured from 50% point to 50% point at the DH pin with LX = GND, V_{BST} = 5V, and a 250pF capacitor connected from DH to LX. Actual in-circuit times may differ due to MOSFET switching speeds.
Note 4: Not applicable to the MAX8551.

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

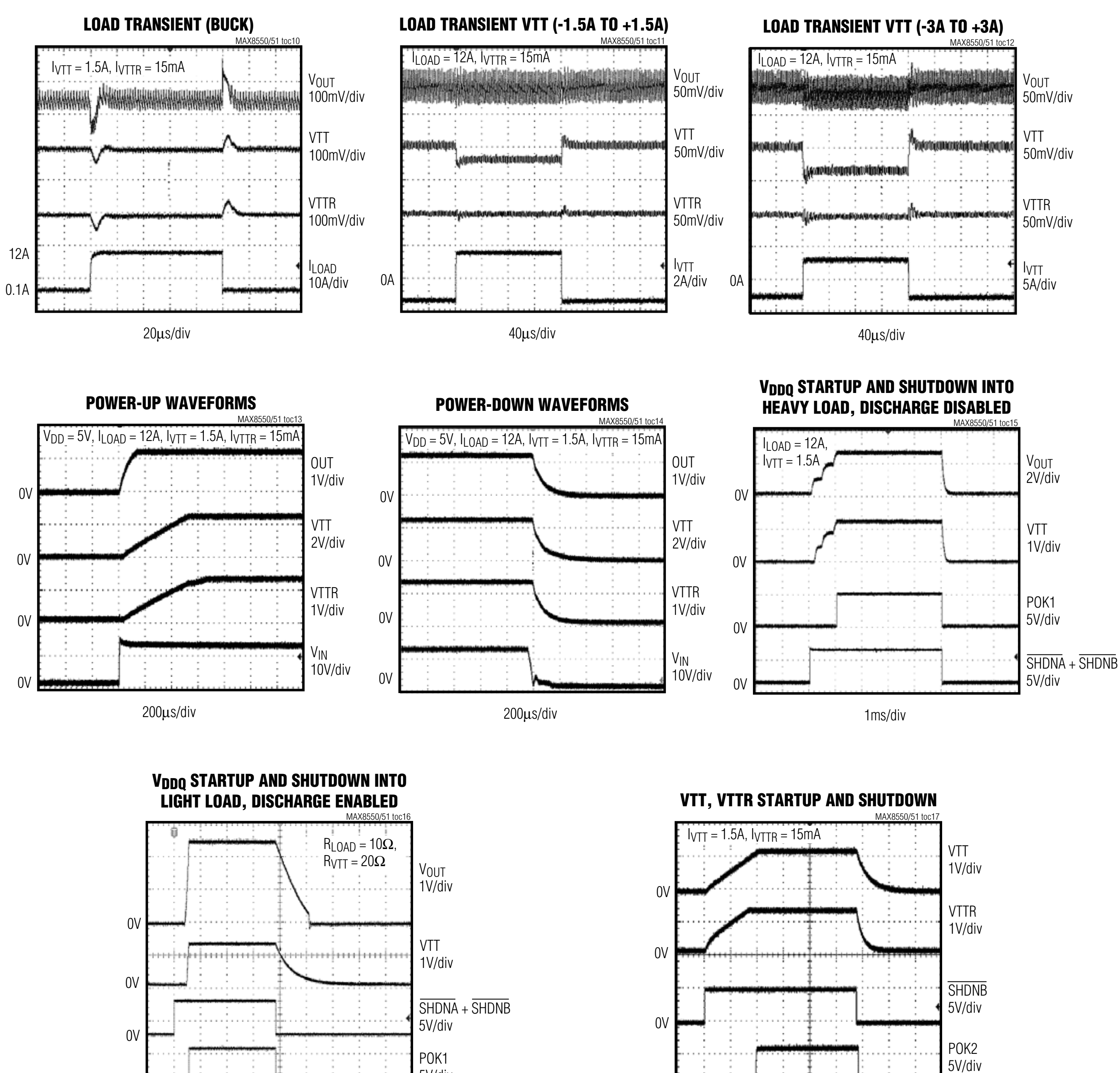
典型工作特性

(V_{VIN} = 12V, V_{OUT} = 2.5V, TON = GND, $\overline{SKIP}$ = AV_{DD}, circuit of Figure 8, T_A = +25°C, unless otherwise noted.)



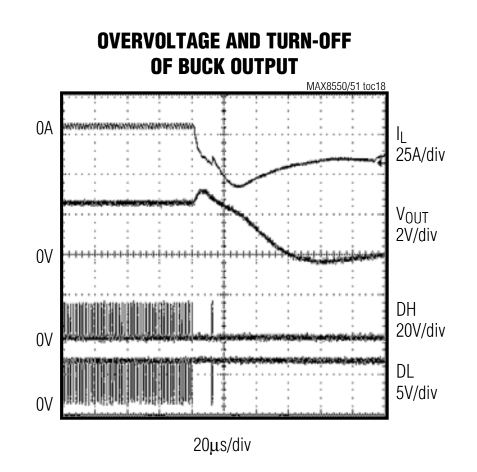
典型工作特性 (续)

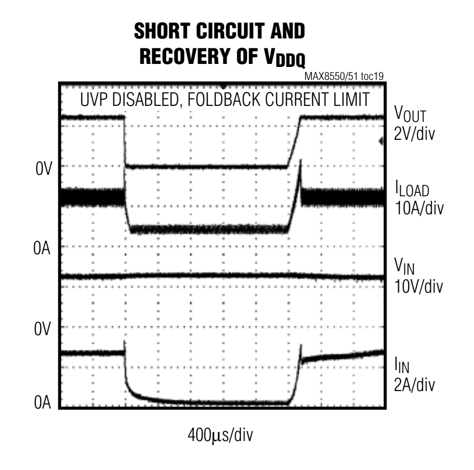
(V_{VIN} = 12V, V_{OUT} = 2.5V, TON = GND, $\overline{SKIP}$ = AV_{DD}, circuit of Figure 8, T_A = +25°C, unless otherwise noted.)

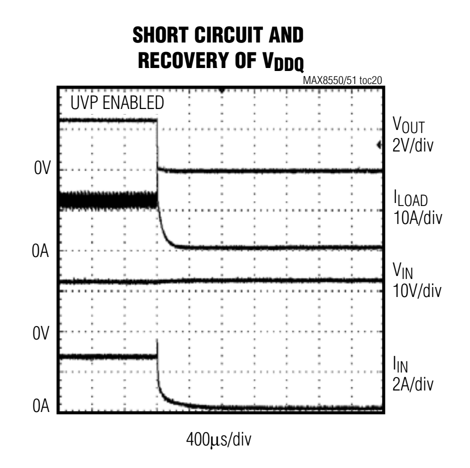


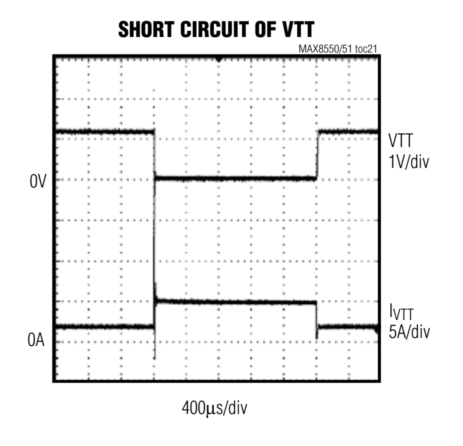
典型工作特性 (续)

(V_{VIN} = 12V, V_{OUT} = 2.5V, TON = GND, $\overline{SKIP}$ = AV_{DD}, circuit of Figure 8, T_A = +25°C, unless otherwise noted.)









引脚说明

引脚	名称	功能
1	TON	导通时间选择控制输入。这个四电平逻辑输入设置额定DH导通时间。连接至GND、REF、AV_{DD}或不连接TON来选择以下额定开关频率： TON = AV_{DD} (200kHz) TON = OPEN (300kHz) TON = REF (450kHz) TON = GND (600kHz)
2	OVP/ UVP (MAX8550)	过/欠压保护控制输入。这个四电平逻辑输入启用或禁用过压和/或欠压保护。过压极限为额定输出电压的116%。欠压极限为额定输出电压的70%。启用OVP的同时启用放电模式。将OVP/UVP引脚连接至以下引脚可启用所需功能： OVP/UVP = AV_{DD} (启用OVP及放电模式，启用UVP) OVP/UVP = OPEN (启用OVP及放电模式，禁用UVP) OVP/UVP = REF (禁用OVP及放电模式，启用UVP) OVP/UVP = GND (禁用OVP及放电模式，禁用UVP)
	N.C. (MAX8551)	不连接，保持开路*
3	REF	+2.0V基准电压输出。用一个0.1µF (最小)电容旁路至GND。REF可为外部负载提供50µA电流。可用来设置ILIM电压。当$\overline{SHDNA}$、$\overline{SHDNB}$及STBY为低时，REF关断。
4	ILIM	用于调整buck调节器的谷值限流阀值。PGND与LX两端的限流阀值为ILIM上电压的0.1倍。连接ILIM至一个电阻分压器，通常从REF至GND，可将限流阀值设置在25mV至200mV之间。这对应于ILIM上的0.25V至2V电压范围。连接ILIM至AV_{DD}可选择50mV默认限流阀值。参见*设置电流限*部分。
5	POK1	Buck Power-Good漏极开路输出。当buck 输出电压高于或低于正常调整点10%、或当软启动时，POK1为低。当输出达到稳定且软启动过程结束时，POK1为高阻抗。关断时POK1为低。
6	POK2	LDO Power-Good漏极开路输出。在正常模式下，当VTTR或VTTS高于或低于正常调整点 (通常为REFIN / 2) 10%时，POK2为低。在待机模式下，POK2只响应VTTR输入。关断以及当V_{REFIN}低于0.8V时，POK2为低。
7	STBY	待机。连接至高电位时进入低静态模式，VTT输出被禁用，但如果$\overline{SHDNB}$为高，则VTTR缓冲器保持有效。在此模式下，POK2仅从VTTR上引入输入。PWM输出根据$\overline{SHDNA}$的状态可为开通或关断。
8	SS	VTT与VTTR软启动控制。从SS至地连接一个电容 (*典型应用电路*中的C9，参见*软启动电容选择*部分)。使SS开路可禁用软启动。当$\overline{SHDNB}$为低时SS放电至地。参见*POR*、*UVLO及软启动*部分。
9	VTTS	终端电源输出检测引脚。一般与VTT引脚连接来精确调整至REFIN电压的一半。与从VTT至GND的电阻分压器连接可将VTT调整至比REFIN一半的电压更高的电压。
10	VTTR	终端参考电压。VTTR跟踪V_{REFIN} / 2。

* *MAX8551不具有OVP或放电模式，仅具有UVP功能。*

引脚说明 (续)

引脚	名称	功能
11	PGND2	VTT及VTTR功率地。PGND2从外部与底部的裸露垫片连接。
12	VTT	终端电源输出。连接VTT至VTTS来调整至V_{REFIN} / 2。
13	VTTI	VTT及VTTR的电源输入。对于DDR应用，一般与buck调节器的输出连接。
14	REFIN	外部参考输入。用来将VTT及VTTR输出调整为V_{REFIN} / 2。
15	FB	Buck输出反馈输入。连接至AV_{DD}得到+1.8V的固定输出，连接至GND得到+2.5V固定输出。对于可调输出 (0.7V至5.5V)，则在FB与输出之间连接一个电阻分压器。FB调整为+0.7V。
16	OUT	输出电压检测连接。连接至buck输出滤波电容的正端。OUT通过检测输出电压来确定高边开关MOSFET (*典型应用电路*中的Q1)的开通时间。在固定输出模式，OUT也充当buck输出的反馈输入。当通过OVP/UVP启用放电模式时，输出电容通过OUT与GND之间的一个内部10Ω电阻放电。
17	V_{IN}	输入电压检测连接。连接至输入电源。V_{IN}只用来设置PWM的开通单稳态定时器。IN电压介于2V至28V之间。
18	DH	高边栅极驱动器输出。在LX与BST之间摆动。当关断或处于UVLO时，DH为低。
19	LX	外部电感连接。LX与电感输入侧连接。LX同时用于电流限制及DH驱动器电源的回线。
20	BST	自举浮动电容连接。可按照*典型应用电路* (图8)连接至一个外部电容及二极管。参见*自举电源二极管及电容选择*部分。
21	DL	同步整流栅极驱动器输出。在PGND与V_{DD}之间摆动。
22	V_{DD}	DL栅极驱动电源输入。与+4.5V 至+5.5V的系统电源连接。用一个1µF (最小)陶瓷电容旁路至PGND1。
23	PGND1	Buck控制器功率地。PGND1从外部与底部的裸露垫片连接。
24	GND	Buck及LDO模拟地。GND从外部与底部的裸露垫片连接。
25	$\overline{SKIP}$ (MAX8550)	跳脉冲控制输入。连接至AV_{DD}选择低噪声强制PWM模式。连接至GND选择跳脉冲模式。
	TP1 (MAX8551)	MAX8551特有，此引脚为测试引脚，必须与GND (引脚24)连接。
26	AV_{DD}	Buck及LDO模拟电源输入。通过一个10Ω串连电阻与+4.5V至+5.5V的系统电源连接。用一个1µF或更大的陶瓷电容旁路至GND。
27	$\overline{SHDNA}$	关断控制输入A。用来控制buck输出。$\overline{SHDNA}$的上升沿清除过/欠压保护故障锁存器 (参见表2及表3)。正常工作时连接至AV_{DD}。
28	$\overline{SHDNB}$	关断控制输入B。用来控制VTT及VTTR输出。关断时VTT及VTTR均为高阻抗 (见表2)。

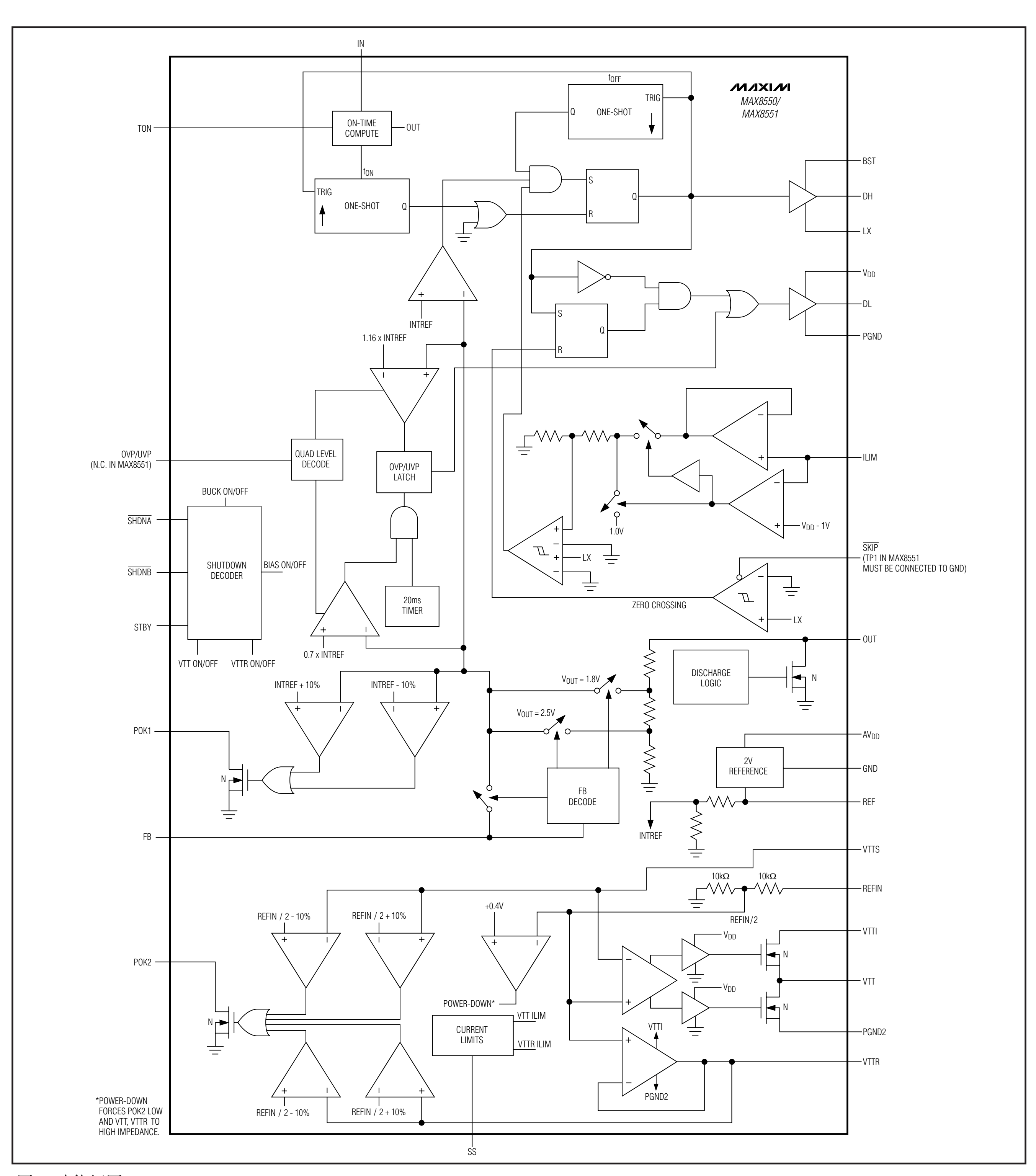

IN
t_{OFF}
TRIG
Q
ONE-SHOT
MAXIM
MAX8550/
MAX8551
TON
ON-TIME COMPUTE
OUT
t_{ON}
TRIG
ONE-SHOT
Q
S
Q
R
BST
DH
LX
V_{DD}
DL
PGND
S
Q
R
INTREF
1.16 x INTREF
ILIM
OVP/UVP
(N.C. IN MAX8551)
QUAD LEVEL DECODE
OVP/UVP LATCH
BUCK ON/OFF
SHDNA
SHDNB
SHUTDOWN DECODER
BIAS ON/OFF
STBY
1.0V
V_{DD} - 1V
LX
SKIP
(TP1 IN MAX8551
MUST BE CONNECTED TO GND)
20ms TIMER
ZERO CROSSING
LX
0.7 x INTREF
VTT ON/OFF
VTTR ON/OFF
OUT
DISCHARGE LOGIC
N
V_{OUT} = 1.8V
INTREF + 10%
INTREF - 10%
V_{OUT} = 2.5V
POK1
N
AV_{DD}
2V REFERENCE
GND
FB DECODE
REF
FB
INTREF
VTTS
10kΩ
10kΩ
REFIN
+0.4V
REFIN / 2 - 10%
REFIN / 2 + 10%
REFIN/2
V_{DD}
VTTI
POK2
N
VTT
V_{DD}
N
POWER-DOWN*
VTT ILIM
CURRENT LIMITS
VTTR ILIM
VTTI
PGND2
VTTR
PGND2
*POWER-DOWN
FORCES POK2 LOW
AND VTT, VTTR TO
HIGH IMPEDANCE.
REFIN / 2 - 10%
REFIN / 2 + 10%
SS

图1. 功能框图

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

详细说明

MAX8550/MAX8551结合了同步buck PWM控制器、LDO线性稳压器以及10mA基准输出缓冲器。Buck控制器驱动两个外部N沟道MOSFET，可从+2V至+28V的输入产生最低至0.7V的输出，并提供高达12A的负载电流。LDO线性稳压器可吸收或供出高达1.5A的连续电流及3A的峰值电流，同时还具有较快的瞬态响应。这些特性使得MAX8550/MAX8551成为DDR存储器应用的理想选择。

MAX8550/MAX8551中的buck调节器采用Maxim专有的恒导通时间Quick-PWM架构，可达到最高600kHz的固定开关频率。这种控制方案易于处理很宽的输入/输出电压比，并能提供100ns的“瞬时导通”负载瞬态响应，同时保持高效率和相对恒定的开关频率。

Buck控制器、LDO及基准输出缓冲器具有独立的限流控制。Buck调节器通过监视低边FET上的漏－源电压降实现无损折返式电流限制。ILIM输入用来调整电流限。如果选择了过压保护，当输出电压超过设定值的116%时，将锁定低边同步FET为开通状态，高边FET为关断状态。如果选择欠压保护，在过流状态下，当输出电压低于规定输出的70%时，它就会锁定MOSFET驱动器为关断状态。这有助于降低短路时的功耗。

LDO和基准缓冲器的电流限分别为±5A和±40mA，二者均没有过压或欠压保护。当这两路输出的电流到达限定值时，输出将从稳压变成稳流，电流被稳定于限定值。

+5V偏置电源 (V_{DD}和AV_{DD})

除输入电压 (V_{IN})外，MAX8550/MAX8551还需要一个外部的+5V偏置电源。将偏置电源放在IC外部可以改善效率，并省下了一个+5V线性稳压器的成本 (这个电源用来为PWM电路及栅极驱动器供电)。如果要求其能够独立运行，则可用一个外部的线性稳压器，例如MAX1615，产生这个+5V电源。如果输入为固定的+4.5V至+5.5V电源，则可将V_{DD}、AV_{DD}及IN连接在一起。

V_{DD}为buck调节器的MOSFET驱动器供电，AV_{DD}则为IC的其余部分供电。AV_{DD}和V_{DD}电源的输出电流必须能够供应IC和MOSFET栅极驱动器所需电流。最大电流估算如下：

$$I_{BIAS} = I_{VDD} + I_{AVDD} + f_{SW} \times (Q_{G1} + Q_{G2})$$

其中I_{VDD} + I_{AVDD}为流入V_{DD}及AV_{DD}的静态电源电流，Q_{G1}及Q_{G2}为*典型应用电路*中MOSFET Q1及Q2在V_{GS} = 5V下的总栅极电荷，f_{SW}是开关频率。

自由运行的恒导通时间PWM

Quick-PWM控制架构是一种带电压前馈的伪固定频率、恒导通时间、电流模式的调节器 (图1)。这种架构利用输出滤波电容的ESR来作为检流电阻，因此，输出纹波电压提供了PWM斜坡信号。控制算法很简单：高边开关的导通时间仅由一个单稳态来决定，其脉宽与输入电压成反比而与输出电压成正比。而另一个单稳态则设置300ns的最小关断时间 (典型值)。导通单稳态的触发条件为：误差比较器为低；低边开关电流低于谷电流阈值；且最小关断时间已过。

导通时间单稳态 (TON)

PWM控制器的核心部分是一个单稳态触发器，它设定了高边开关的导通时间。这个快速、低抖动、可调节的单稳态电路能够根据输入、输出电压的变化改变导通时间。高边开关的导通时间与输入电压 (V_{IN})成反比而与输出电压成正比：

$$t_{ON} = K \times \frac{(V_{OUT} + I_{LOAD} \times R_{DS(ON)Q2})}{V_{IN}}$$

其中K (开关周期)可通过TON输入引脚的连接来选择 (表1)，$R_{DS(ON)Q2}$是*典型应用电路* (图8)中同步整流器Q2的导通电阻。这钟算法能产生近乎恒定的开关频率，尽管没有固定频率的时钟发生器。恒定开关频率的好处有两点：

1) 可通过选择频率，避开噪声敏感频段 (如455kHz中频频段)。

2) 电感纹波电流工作点保持相对恒定，简化了设计，并易于对输出电压纹波进行预测。

导通单稳态在*Electrical Characteristics*表格规定的工作点上有良好的精度 (在600kHz及450kHz频率上约为±12.5%，在200kHz与300kHz上约为±10%)。如果工作条件远离*Electrical Characteristics*表格中的规定，导通时间可能会在一个更宽的范围内变化。例如，当频率设定为600kHz时，如果输入比5V大得多，由于所需导通时间很短，实际的运行频率要低将近10%。

恒导通时间仅确定了一个大致恒定的开关频率。*Electrical Characteristics*表格中所保证的导通时间还受阻性损耗及高边MOSFET开关延时的影响。阻性损耗 (包括电感、两个MOSFET、输出电容的ESR、输出和地线回路PCB走线中的电阻等)随负载增加趋向于使开关频率升高。死时间效应增加了等效的导通时间，由于等效导通时间中增加了一个或两个死时间，因而使开关频率降低。只有在PWM模式下 ($\overline{SKIP}$ = V_{DD})，在输出电压动态转变期间，当电感电流在轻载或负的负载电流下发生反转时，才会发生死时间效应。电感电流反转时，电感的感生电动势使LX比正常情况下更早地变高，使开通时间延长了一个DH前沿死时间。对于临界传导点以上的负载，不发生死时间效应，实际开关频率为：

$$f_{SW} = \frac{V_{OUT} + V_{DROP1}}{t_{ON}(V_{IN} + V_{DROP2})}$$

其中V_{DROP1}为电感放电路径中的寄生压降之和——包括同步整流器、电感及任何PC板中的电阻等；V_{DROP2}则为充电路径中的电阻压降之和——包括高边开关 (*典型应用电路*中的Q1)、电感以及PC板电阻等；t_{ON}为单稳态确定的开通时间 (参见*开通单稳态 (TON)* 部分)。

自动跳脉冲模式 ($\overline{SKIP}$ = GND)

在跳跃模式 ($\overline{SKIP}$ = GND)中，在轻负载情况下将发生至PFM的自动切换 (图2)。这种切换受一个比较器的影响，这个比较器在电感电流过零时关断低边开关。过零比较器在同步整流MOSFET (图8*典型应用电路*中的Q2)上差分检测电感电流。当V_{PGND} - V_{LX}低于电流门限5%以下后 (对于默认的50mV电流门限，此值为2.5mV)，比较器将DL拉低 (图1)。这种方式使跳脉冲的PFM与非跳脉冲的PWM工作模式之间的分界点，正好与连续及非连续电感电流工作方式之间的分界点 (亦称为临界传导点)相重合。PFM/PWM切换点的负载电流——$I_{LOAD(SKIP)}$，等于峰－峰纹波电流的一半，它是电感量的函数 (图2)。此门限相对恒定，只受输入电压 (V_{IN})的轻微影响：

$$I_{LOAD(SKIP)} = \left(\frac{V_{OUT} \times K}{2L}\right)\left(\frac{V_{IN} - V_{OUT}}{V_{IN}}\right)$$

其中K为导通时间比例因子 (见表1)。例如，在图8*典型应用电路*中 (K = 1.7µs、V_{OUT} = 2.5V、 V_{IN} = 12V及L = 1µH)，跳脉冲转换发生在：

$$\left(\frac{2.5V \times 1.7\mu s}{2 \times 1\mu H}\right)\left(\frac{12V - 2.5V}{12V}\right) = 1.68A$$

如果使用回转 (软饱和)电感，则切换点发生在更低的值上。当轻负载引起跳脉冲工作时，开关波形可能会表现出更大的噪声且不同步，但这是一种常用的工作状态，因为它在轻负载下具有高效率。

表1. 近似K因子误差

TON SETTING	TYPICAL K-FACTOR (µs)	K-FACTOR ERROR (%)	MINIMUM V_{IN} AT V_{OUT} = 2.5V (h = 1.5, SEE THE DROPOUT PERFORMANCE SECTION)
200 (TON = AV_{DD})	5.0	±10	3.15
300 (TON = OPEN)	3.3	±10	3.47
450 (TON = REF)	2.2	±12.5	4.13
600 (TON = GND)	1.7	±12.5	5.61

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

通过改变电感值，可在PFM噪声及轻负载效率之间取得较好的平衡。一般而言，低电感值可产生较宽的效率−负载曲线，而高电感值则可产生较高的满负载效率 (假设线圈电阻保持固定)以及较低的输出电压纹波。使用高值电感的代价是更大的物理尺寸及变差的负载瞬态响应，尤其是在低输入电压时。

直流输出精度指标与误差比较器的门限有关。当电感处于连续传导模式时，MAX8550/MAX8551调整输出纹波的谷值，因此实际的直流输出电压要比触发电平高出输出纹波的50%。在非连续模式 ($\overline{SKIP}$ = GND以及I_{LOAD} < $I_{LOAD(\overline{SKIP})}$)，由于有斜率补偿，输出电压的调整点比误差比较器的门限高大约1.5%。

强制PWM模式 ($\overline{SKIP}$ = AV_{DD}，仅限于MAX8550)

低噪声强制PWM模式下 ($\overline{SKIP}$ = AV_{DD})，控制低边开关导通时间的过零比较器被禁止。这迫使低边栅极驱动波形始终与高边栅极驱动波形互补，因此电感电流在轻负载时会发生反转，同时DH保持V_{OUT} / V_{IN}的占空比。强制PWM模式的开关频率相当稳定。但以强制PWM模式工作也要付出一定代价，即：由于外部MOSFET的栅极电荷及开关频率，空载时的V_{DD}偏置电流将保持在2mA与20mA之间。强制PWM模式对于减少音频噪声、改善负载瞬态响应以及提供电流吸收能力 (以便输出电压的动态调节)非常有用。

限制电流的Buck调节器 (ILIM)

谷电流限制

MAX8550/MAX8551 buck调节器的电流限制电路采用一种独特的“谷值”电流检测法，这种方法检测LX与PGND1两端的压降，利用整流MOSFET (即图8*典型应用电路*中的Q2)的导通电阻作为检流元件。如果检流信号幅度在谷电流限阀值以上，则不允许PWM控制器启动新的周期 (图4)。采用谷电流控制方式，实际的峰值电流将比谷电流门限大出一个电感纹波电流的量。因此，精确的限流特性和最大负载能力与检流电阻、电感值及输入电压有关。当与欠压保护电路一起使用时，这种限流方式几乎可在所有环境下有效。

在强制PWM模式中，MAX8550/MAX8551还具有负电流限制功能，以防buck调节器输出在吸收电流时出现过量的反向电感电流。反向限流阀值被设置为正电流限的120%，并在V_{ILIM} 被调整时跟踪正电流限。限流阀值可用接在ILIM引脚上的外部电阻分压器来进行调整。为保证精度及足够的抗噪声干扰能力，建议分压器电流设定在2µA至20µA之间。

限流阀值调整范围为25mV至200mV。在可调模式下，限流阀值电压 (从PGND1至LX)等于ILIM上电压的1/10。当ILIM与AV_{DD}连接时，门限电压默认值为50mV。切换至50mV默认值的逻辑门限大约为AV_{DD} - 1V。

请仔细遵照PC板布局准则，以确保噪声及直流误差不会破坏LX与GND之间的差分检流信号。

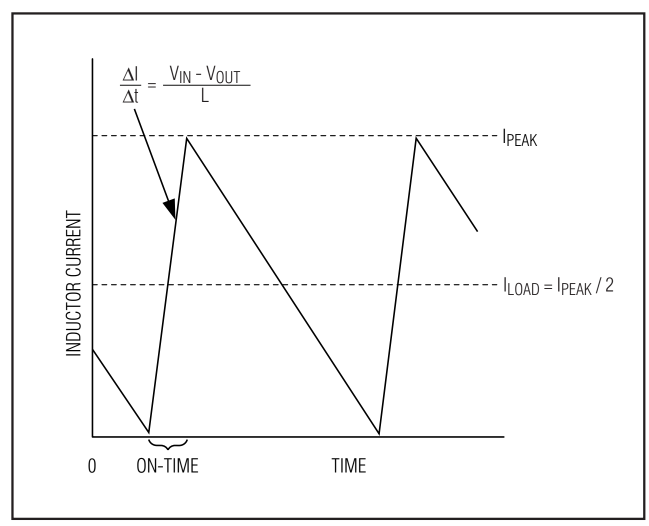


图2. 跳脉冲/非连续切换点

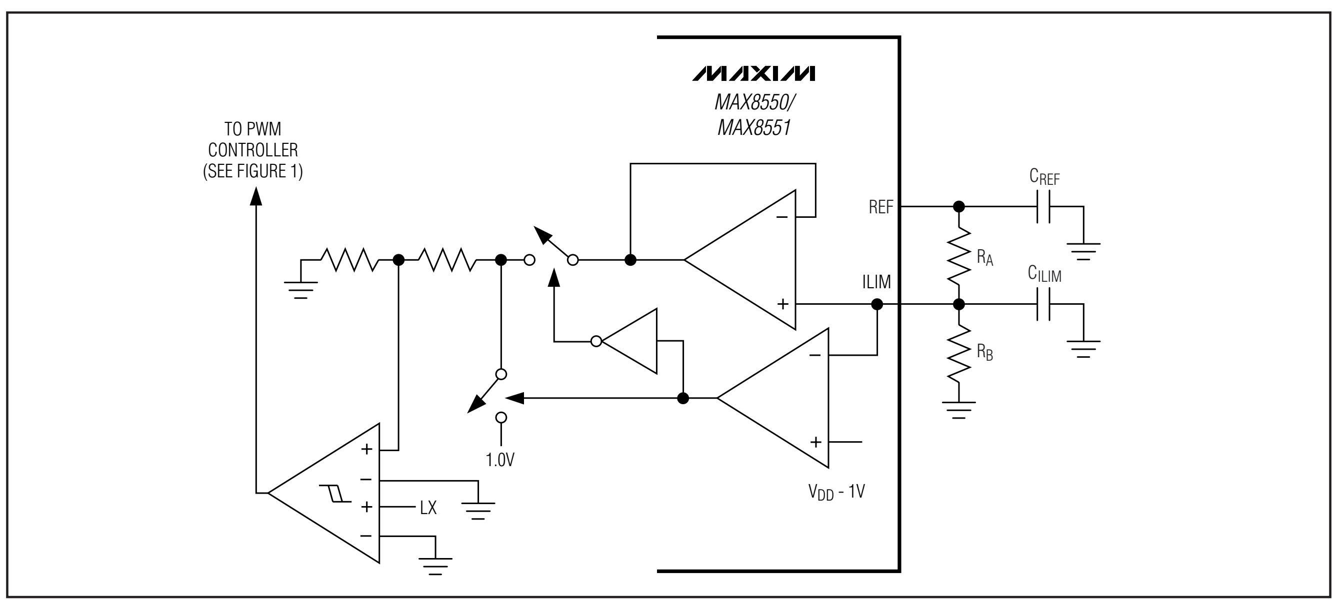


图3. 可调限流阀值

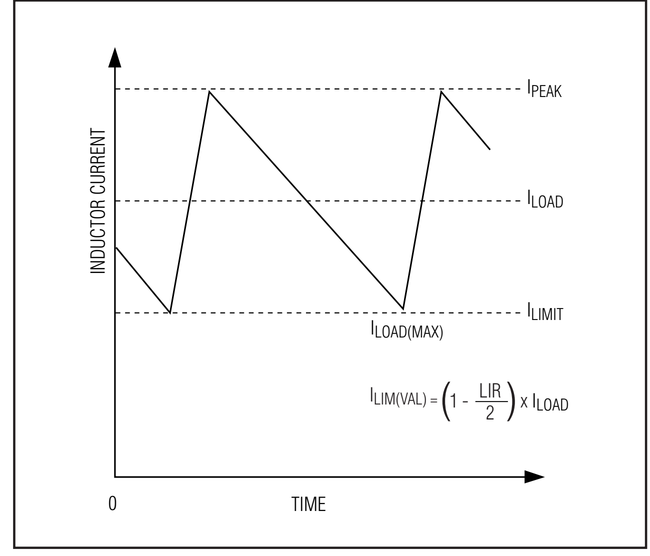


图4. 谷值电流限制门限

POR、UVLO及软启动

当AV_{DD}高于2V时，即启动内部上电复位(POR)：复位故障锁存器和软启动计数器；启动基准电路；并为buck调节器的工作做好准备。在AV_{DD}达到4.25V (典型值)以前，AV_{DD}欠压锁定(UVLO)电路阻止开关动作。锁定状态下，控制器将DH拉低，如果OVP及关断放电功能被禁止(OVP/UVP = REF或GND)，则保持DL为低；如果OVP及关断放电功能开启(OVP/UVP = AV_{DD}或OPEN)，则强制DL为高。有关OVP/UVP及关断设置的细节请参见表3。当AV_{DD}高于4.25V时，控制器即启动buck调节器与内部软启动。

Buck调节器的内部软启动在启动时使电流限逐渐增加，以减少输入浪涌电流。MAX8550/MAX8551的软启动分为5个阶段：第一阶段，控制器将电流限限制在总电流限的20%上。如果输出未在425µs内达到稳定，则软启动自动进入第二阶段，电流限再增加20%。此过程一直重复，直至1.7ms后达到最大电流限，或输出达到额定调整电压，以先到者为准。增加一个与外部ILIM电阻相并联的电容，可为buck调节器输出增加连续可调的模拟软启动功能。

LDO部分的软启动可通过在SS引脚与地之间连接一个电容来实现。当$\overline{SHDNB}$被驱动为低，或当LDO热关断时，SS电容被放电。当$\overline{SHDNB}$被驱动为高或过热状态解除后，内部电路输出4µA电流(典型值)对SS电容充电。SS上的斜坡电压使VTT及VTTR两路输出的限流比较器门限线性上升，直至SS接近1.6V时达到整个电流限。在启动期间降低电流限，可限制启动时的浪涌电流，这在驱动容性负载时尤其有用。选择合适的SS电容来设置软启动时间窗口。使SS浮空则关闭软启动功能。

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

Power-OK (POK1)

POK1是一个窗口比较器的漏极开路输出，这个比较器连续监视V_{OUT}输出。当$\overline{SHDNA}$为低以及在buck调节器的软启动期间，POK1被拉低。当数字软启动终止后，只要输出电压进入由FB设置的稳定电压的±10%范围内，POK1即变为高阻抗。如果V_{OUT}从稳定电压下降或升高10%以上，MAX8550/MAX8551即将POK1拉低。任何故障条件都会将POK1拉低，直到通过触发$\overline{SHDNA}$或将AV_{DD}电源降低到1V以下，使故障锁存器清除为止。要得到逻辑电平的输出信号，可在POK1与AV_{DD}之间连接一个外部上拉电阻，一个100kΩ的电阻即适用于大多数应用。请注意，POK1窗口比较器与过/欠压保护检测器以及与VTTS及VTTR的状态无关。

$\overline{SHDNA}$与输出放电

$\overline{SHDNA}$输入用于控制buck调节器，用于使IC的buck调节器部分进入低功率模式 (参见*Electrical Characteristics*表)。$\overline{SHDNA}$也用来复位故障信号，例如过压或欠压故障。

当输出放电被启用 (OVP/UVP = AV_{DD} 或开路)且$\overline{SHDNA}$及$\overline{SHDNB}$被拉低时，或UVP被启用 (OVP/UVP = AV_{DD})且V_{OUT}下降至稳定值的70%以下时，MAX8550即通过一个内部连接到地的10Ω开关为buck调节器的输出放电 (通过OUT输入)。当输出放电时，DL被拉低且PWM控制器被关闭，但参考仍保持有效以提供精确的门限。一旦输出电压低于0.3V，MAX8550即关断参考并将DL拉高，从而可有效地将buck输出及LX箝位至地。

当输出放电被禁用时 (OVP/UVP = REF或GND)，控制器不主动对buck输出放电，DL驱动器保持为低。在此种情况下，buck输出的放电速度由负载电流及其输出电容决定。Buck调节器在启动时检测并锁定由OVP/UVP引脚所设定的放电模式。

对于MAX8551，OVP/UVP在内部被连接至REF，永久地开启输出放电功能 (参见表3)。

$\overline{SHDNB}$与STBY

$\overline{SHDNB}$对应于VTT及VTTR输出，当被拉低时，可使IC的线性稳压器部分进入低功率模式 (参见*Electrical Characteristics*表)。当$\overline{SHDNB}$为低时，VTT及VTTR为高阻抗。

STBY是一个高有效输入，用来单独关断VTT输出。当STBY为高时，VTT为高阻抗。STBY输入可超越$\overline{SHDNB}$输入，故即使当$\overline{SHDNB}$为高时，如果STBY为高，则VTT输出亦无效。

Power-OK (POK2)

POK2是一个窗口比较器的漏极开路输出，这个比较器连续监视VTTS输入和VTTR输出。当REFIN低于0.8V，或当$\overline{SHDNB}$为低时，POK2被拉低。只要输出电压不超出由REFIN设置的稳定电压的±10%范围，POK2即为高阻抗。当V_{VTTS} 或V_{VTTR} 从REFIN所设定的稳定电压上升或下降10%以上时，MAX8550/MAX8551将POK2拉低。要得到逻辑电平输出，可在POK2与AV_{DD}之间连接一个外部上拉电阻，一个100kΩ的电阻即适用于大多数应用。

表2. 关断及待机控制逻辑

STBY	$\overline{SHDNA}$	$\overline{SHDNB}$	BUCK OUTPUT	VTT	VTTR
GND	AV_{DD}	AV_{DD}	ON	ON	ON
GND	AV_{DD}	GND	ON	OFF	OFF
AV_{DD}	AV_{DD}	AV_{DD}	ON	OFF	ON
GND	GND	AV_{DD}	OFF	ON	ON
GND	GND	GND	OFF	OFF	OFF

电流限制 (VTT LDO及VTTR缓冲器)

VTT为一个线性稳压器，它将输入 (VTTI)调整为V_{REFIN}电压的一半。VTT的反馈点在VTTS输入上 (图1)。VTT可吸收及供出至少1.5A的连续电流以及3A的峰值电流。VTT及VTTR的电流限典型值分别为±5A与±40mA。当任意一路输出到达电流限时，输出将从电压调节变为电流调节。

故障保护

MAX8550/MAX8551的buck控制器具有过压及欠压故障保护功能。选择OVP/UVP引脚的连接方式，可启用或禁用故障保护功能，如表3所示。启用后，控制器连续监视输出上的欠/过压故障。

过压保护 (OVP)

当输出电压上升到额定值的116%以上 (仅限于MAX8550)，并且OVP被使能 (OVP/UVP = AV_{DD}或开路)，OVP电路即置位故障锁存器，关断PWM控制器，并立即将DH拉低而将DL拉高。同步整流 MOSFET (图8*典型应用电路*中的Q2)以100%的占空比导通，迅速将输出电容放电并将输出箝位至地。请注意，迅速将DL锁定为高会使输出电压略微摆向负压，这是由于在OVP发生时储存在输出LC电路中的能量的缘故。如果负载不能容忍负电压，则可在输出端接一个功率肖特基二极管来充当反极性箝位。通过触发$\overline{SHDNA}$或降低AV_{DD} 到1V以下可清除故障锁存器并重启控制器。当OVP/UVP与REF或GND连接时，OVP被禁用 (表3)。OVP仅用于buck输出。VTT及VTTR输出不具有过压保护。

欠压保护 (UVP)

当输出电压下降至稳定电压的70%以下时，如果启用UVP，控制器即置位故障锁存器并开始放电模式 (参见*关断及输出放电*部分)。当输出电压下降至0.3V，同步整流器 (*典型应用电路*中的Q2)打开，将buck输出箝位至地。在启动或$\overline{SHDNA}$上升沿后的至少 10ms内 (最小值) UVP被忽略。触发$\overline{SHDNA}$或降低AV_{DD}到1V以下可清除故障锁存器并重启控制器。当OVP/UVP保持开路或与GND连接时，UVP被禁用(表3)。UVP仅用于buck输出。VTT及VTTR输出不具有欠压保护。

热故障保护

MAX8550/MAX8551具有两个热故障保护电路。一个用来监视IC的buck调节器部分，另一个则用来监视线性稳压器 (VTT) 与基准缓冲输出 (VTTR)。当MAX8550/MAX8551的buck调节器部分的结温超过+160°C时，温度传感器即置位故障锁存器，将POK1拉低，且无论OVP/UVP设置如何都用放电模式来关断buck控制器。在结温下降15°C后，通过触发$\overline{SHDNA}$或降低AV_{DD} 到1V以下可重启控制器。如果IC的VTT及VTTR调节器部分的芯片温度超过+160°C，则VTT及VTTR关断，进入高阻态，当这部分芯片的温度下降15°C后重新启动。两个热故障保护电路独立工作，例如，如果VTT输出过载，并触发其热故障保护，则buck调节器仍能继续工作。

表3. OVP/UVP故障保护

OVP/UVP	DISCHARGE	UVP PROTECTION	OVP PROTECTION
AV_{DD}	Yes. DL forced high when $\overline{SHDNA}$ and $\overline{SHDNB}$ are low.	Enabled. Discharge sequence activated. DL forced high when shut down.	Enabled. DH pulled low and DL forced high.
OPEN	Yes. DL forced high when $\overline{SHDNA}$ and $\overline{SHDNB}$ are low.	Disabled.	Enabled. DH pulled low and DL forced high.
REF	No. DL forced low when $\overline{SHDNA}$ is low.	Enabled. Discharge sequence activated. DL forced high when shut down.	Disabled.
GND	No. DL forced low when $\overline{SHDNA}$ is low.	Disabled.	Disabled.

设计步骤

在选择开关频率及电感工作点 (纹波电流比或LIR)以前，应严格地确定buck调节器的输入电压范围 (V_{IN})及最大负载电流 (I_{LOAD})。主要的设计折衷是要选择一个合适的开关频率及电感工作点，以下为除此之外的其他四个设计要素：

- 输入电压范围。最大值 ($V_{IN(MAX)}$)必须考虑最坏情况下的电压，最小值 ($V_{IN(MIN)}$)必须考虑接插件及保险丝上的压降。如果可能，选择较低的输入电压将获得较高的效率。
- 最大负载电流。有两个值需要考虑。峰值负载电流 (I_{PEAK})决定瞬时器件应力及滤波要求，并由此而决定输出电容选择、电感饱和指标以及限流电路的设计。连续负载电流 (I_{LOAD})决定热应力并因此而决定输入电容、MOSFET、及其他关键发热器件的选择。
- 开关频率。此项选择决定器件尺寸与效率之间的折衷。由于MOSFET的开关损耗正比于频率和V_{IN}^2，因此最佳频率很大程度上取决于最大输入电压。最佳频率也因时而异，MOSFET技术的迅速提高使得更高工作频率成为可能。
- 电感工作点。此项选择需折衷考虑：尺寸与效率；瞬态响应与输出纹波。低电感值可提供更好的瞬态响应及更小的物理尺寸，但也会导致更低的效率和更高的输出纹波，因为纹波电流增加了。最小的实用电感值使电路工作于临界传导模式的边缘 (此时电感电流在最大负载下每一周期刚好到零)。低于此值的电感将不会带来进一步的尺寸方面的好处。最佳工作点通常具有20%至50%的纹波电流。当发生跳脉冲时 (轻载，且$\overline{SKIP}$为低)，电感值也决定了发生PFM/PWM切换时的负载电流值。

设置输出电压 (Buck)

预置的输出电压

MAX8550/MAX8551的双工作模式允许选择常用电压而无需外部元件 (图5)。连接FB至GND可获得固定2.5V输出，连接FB至AV_{DD}为固定的1.8V输出，或直接连接FB至OUT选择固定的0.7V输出。

用FB引脚上的电阻分压器来设置Buck调节器的输出电压 (V_{OUT})

Buck调节器输出电压可用一个电阻分压器在0.7V至5.5V之间进行调节 (图6)。MAX8550/MAX8551调整FB至一个固定参考电压 (0.7V)。可调输出电压为：

$$V_{OUT} = V_{FB}\left(1 + \frac{R_C}{R_D}\right) + \frac{V_{RIPPLE}}{2}$$

其中V_{FB}为0.7V，R_C及R_D如图6所示，V_{RIPPLE}为：

$$V_{RIPPLE} = LIR \times I_{LOAD(MAX)} \times R_{ESR}$$

设置VTT及VTTR电压 (LDO)

终端电源输出 (VTT)可用两种不同的方法来设置。第一种，可将VTT 输出直接与VTTS输入连接，强制将VTT调整为 V_{REFIN} / 2。第二种，从VTT连接一个电阻分压器到VTTS可将VTT调整成高于V_{REFIN} / 2的电压。VTT的最大值为V_{VTTI} - $V_{DROPOUT}$，其中T_A = +85°C时$V_{DROPOUT}$ = I_{VTT} x 0.3Ω (最大)。

终端参考电压 (VTTR)跟踪1/2 V_{REFIN}。

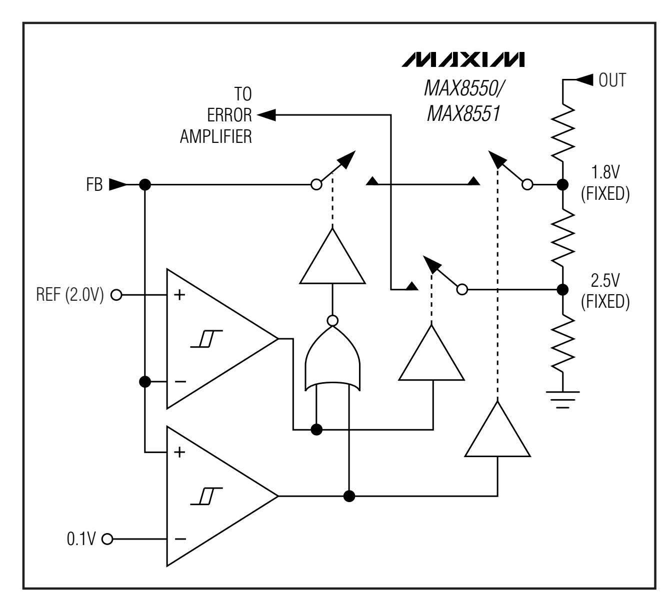


图5. 双模式反馈解码器

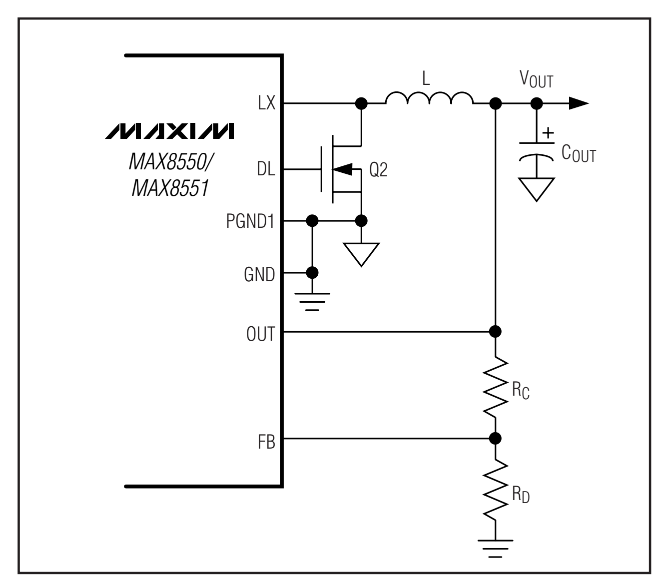


图6. 利用电阻分压器设定V_{OUT}

电感选择 (Buck)

电感量和开关频率及电感工作点的关系由下式决定：

$$L = \frac{V_{OUT}\left(V_{IN} - V_{OUT}\right)}{V_{IN} \times f_{SW} \times I_{LOAD(MAX)} \times LIR}$$

例如：当$I_{LOAD(MAX)}$ = 12A、V_{IN} = 12V、V_{OUT} = 2.5V、f_{SW} = 600kHz、30%纹波电流或LIR = 0.3时，有：

$$L = \frac{2.5V\ (12V - 2.5V)}{12V \times 600kHz \times 12A \times 0.3} \approx 1\mu H$$

找一个直流电阻尽量小，并能安装到规定空间内的低损耗电感。尽管铁粉芯电感价格便宜且能很好地工作至200kHz，但铁氧体芯电感仍然是最佳选择。磁芯必须足够大，在峰值电感电流 (I_{PEAK})下不应饱和：

$$I_{PEAK} = I_{LOAD(MAX)}\left(1 + \frac{LIR}{2}\right)$$

大多数电感厂商都提供具有标准值的电感，例如1.0µH、1.5µH、2.2µH及3.3µH等。也可考虑非标值，以便在整个输入电压范围内取得最佳折衷的LIR。如果使用回转电感 (空载电感量随电流增加线性降低)，则应按照适当调整后的电感量来估计LIR。

输入电容选择 (Buck)

输入电容必须能够承受供应开关电流所需的纹波电流 (I_{RMS})：

$$I_{RMS} = I_{LOAD}\frac{\sqrt{V_{OUT}\left(V_{IN} - V_{OUT}\right)}}{V_{IN}}$$

当V_{IN} = 2 x V_{OUT}时I_{RMS}具有最大值I_{LOAD} / 2。对于大多数应用，更愿意选择非钽电容 (陶瓷、铝电解、POS或OSCON等)，因为它们能有效地抑制上电时的浪涌电流，这是输入端串有机械开关或接头的系统的一个典型问题。如果将MAX8550/MAX8551用作两级功率变换系统的第二级，则可使用钽输入电容。在任何配置中，所选电容在RMS输入电流的作用下温升都应低于10°C，以获得较高的可靠性及寿命。

输出电容选择 (Buck)

输出滤波电容必须具有足够低的等效串联电阻(R_{ESR})，以满足输出纹波及负载瞬变要求，同时也必须具有足够高的ESR来满足稳定性要求。

对于处理器核电压转换器，或其他需要应付剧烈的瞬态负载的应用，输出电容的尺寸取决于所需的R_{ESR}，在瞬态负载的作用下，它不应使输出跌落的过低。忽略因容量有限而导致的电压跌落：

$$R_{ESR} \le \frac{V_{STEP}}{\Delta I_{LOAD(MAX)}}$$

在没有很大及快速负载瞬变的应用中，输出电容的大小常常取决于需要多大的R_{ESR}来保持可接受的输出电压纹波。降压控制器的输出纹波电压大约为总电感纹波电流乘以输出电容的R_{ESR}。因此，满足纹波指标的最大R_{ESR}为：

$$R_{ESR} \le \frac{V_{RIPPLE}}{I_{LOAD(MAX)} \times LIR}$$

实际的电容值要求与ESR及满足该ESR所需的物理尺寸，以及电容器的化学特性有关。故通常是按ESR及电压指标而不是按电容值来选择电容 (对于钽电容、OSCON、聚合物电容以及其他电解电容都是如此)。

当使用陶瓷电容这样的低容值滤波电容时，其大小通常根据负载瞬变期间，V_{SAG}及V_{SOAR}不超出容许范围这一准则来确定。一般而言，只要容量增加到满足过冲要求，则负载上升沿处的下冲也不会有问题 (参见*瞬态响应*部分中的V_{SAG}与V_{SOAR}计算公式)。但低容值滤波电容一般具有较高的ESR零点，它可能会影响整体稳定性 (参见*稳定性要求*部分)。

稳定性要求

对于Quick-PWM控制器，稳定性取决于ESR零点相对于开关频率的位置。不稳定边界由下式给出：

$$f_{ESR} \le \frac{f_{SW}}{\pi}$$

其中：

$$f_{ESR} = \frac{1}{2\pi \times R_{ESR} \times C_{OUT}}$$

如果C_{OUT}由多个相同的电容组成，如图8*典型应用电路*所示，则其f_{ESR}与单个电容的f_{ESR}值相等。

对于典型的600kHz应用，ESR零点频率必须远远低于190kHz，最好低于100kHz。典型应用中我们使用两只150µF/4V Sanyo POS电容来提供12mΩ (最大)的R_{ESR}，零点频率为42kHz，很好地处于稳定边界内。

为确保稳定，请不要未加考虑地将高容值陶瓷电容直接连接在反馈检测点。大陶瓷电容具有较高的ESR零点频率，因此容易引起异常的不稳定工作。不过，这个问题很容易解决，只需将电容放置在反馈点下游数英寸之外即可，反馈点应尽可能靠近电感。

工作的不稳定性以两种相关但明显不同的方式表现出来：双脉冲和不稳定的快反馈环。双脉冲的产生是由于输出上的噪声，或由于ESR太低而没有在输出信号中产生足够的电压斜坡。这能“欺骗”误差比较器在经过400ns的最小关断时间后立即触发一次新的周期。

双脉冲虽不具有破坏性但很恼人，除了增加输出纹波外没有其他更坏的后果。然而，它可能预示着由于ESR的不足，环路可能没有稳定。不稳定的控制环在经历了输入或负载阶跃后会在输出上产生振荡。这种振荡通常会被衰减下来，但它可能会使输出电压超出或低于容限。检查稳定性最简单的方法是，施加一个快速的零到满负载瞬变，并仔细观察输出电压纹波的包络，检查它的过冲和振铃。同时用一个交流电流探头监视电感电流也很有帮助。阶跃响应应引起的上/下冲之后的振铃不应让它超过一个周期。

VTT输出电容选择 (LDO)

对于最高至±1.5A的负载，需要用最小60µF的电容来稳定VTT输出。此电容值将调节器的单位增益带宽限制在大约700kHz (典型值)，以便有足够的相位余量来保证稳定。为了保证该电容在调节器的带宽范围内表现为容性，应选择低ESR和ESL的陶瓷电容，这一点非常重要。

由于增益带宽也受输出FET跨导的影响，FET跨导随负载电流增加而增加，故如果负载电流超过1.5A，输出电容必须大于60µF，但如果最大负载电流小于1.5A，则输出电容亦可小于60µF。通常，可按下列公式来选择最小电容及输出电容的最大ESR：

$$C_{OUT_MIN} = 60\mu F \times \sqrt{\frac{I_{LOAD}}{1.5A}}$$

$$R_{ESR_MAX} = 5m\Omega \times \sqrt{\frac{1.5A}{I_{LOAD}}}$$

其中R_{ESR}应是单位增益带宽频率下的值，该频率由下式给出：

$$f_{GBW} = \frac{40}{C_{OUT}} \times \sqrt{\frac{I_{LOAD}}{1.5A}}$$

当这些稳定条件满足后，如有必要，还可另外增加一些电容 (包括电解及钽电容等)和陶瓷电容并联来进一步降低噪声或纹波。

VTTR输出电容选择 (LDO)

VTTR缓冲器是VTT调节器的缩小版，具有小得多的输出跨导。因此其补偿电容可以更小，ESR可以更大。对于需要负载电流高达±20mA的典型应用，建议使用具有1µF最小电容值的陶瓷电容 (R_{ESR} < 0.3Ω)。应将此电容连接在VTTR与模拟地平面之间。

VTTI输入电容选择 (LDO)

VTT与VTTR输出级均由同一VTTI输入供电，它们的输出电压都以同一REFIN输入为基准。VTTI旁路电容是为了限制VTTI上的纹波/噪声量，或限制负载瞬变时电压的下降幅度。通常VTTI被连接到buck调节器的输出，上面已经具备了大值电容。但还是需要一个至少10µF的陶瓷电容，并使其尽可能靠近VTTI引脚。如果负载电流更大，或从VTTI引脚到电源的走线较长，具有明显的阻抗，此电容值必须相应增大。另外，为防止VTTI反射噪声被耦合到REFIN输入，并因此而带来潜在的环路不稳定性，REFIN引脚最好从单独的低阻抗直流源上接出，而不要直接接至VTTI输入。如果不可避免，则可增加VTTI输入上的旁路电容量，同时在REFIN引脚上再增加另外的旁路电容。

MOSFET选择 (Buck)

MAX8550/MAX8551利用外部、逻辑电平、N沟道MOSFET来充当开关元件，其关键参数包括：

导通电阻 ($R_{DS(ON)}$)：越低越好；

最大漏－源电压 (V_{DSS})：应至少高出高边MOSFET漏极输入电源20%。

栅极电荷 (Q_G, Q_{GD}, Q_{GS})：越低越好；

应选择在V_{GS} = 4.5V下具有额定$R_{DS(ON)}$的MOSFET。作为一个效率与成本之间的很好的折衷，可选择在额定输入电压及最大输出电流下传导损耗等于开关损耗的高边MOSFET (如下所述)。对于低边MOSFET，应保证其不会因为高边MOSFET导通所引起的dV/dt而错误导通，这会导致直通电流而使效率下降。具有较低Q_{GD}/Q_{GS}比的MOSFET具有较高的dV/dt承受力。

对于合理的热管理设计，必须在预期的最大工作结温、最大输出电流以及最坏情况下的输入电压下计算功耗。对于低边MOSFET，最坏情况为$V_{IN(MAX)}$。对于高边MOSFET，$V_{IN(MIN)}$或$V_{IN(MAX)}$都是最坏情况。由于工作方式的不同，高边MOSFET与低边MOSFET具有不同的损耗成分。低边MOSFET作为一个零电压开关工作，故其损耗主要为：

- 沟道传导损耗 (P_{LSCC})
- 体二极管传导损耗 (P_{LSDC})
- 栅极驱动损耗 (P_{LSDR}):

$$P_{LSCC} = \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times I_{LOAD}^2 \times R_{DS(ON)}$$

利用$T_{J(MAX)}$下的$R_{DS(ON)}$：

$$P_{LSDC} = 2I_{LOAD} \times V_F \times t_{DT} \times f_{SW}$$

其中V_F为体二极管的正向压降，t_{DT}为死时间 (≈30ns)，f_{SW}为开关频率。由于是零电压开关工作，故低边MOSFET栅极驱动损耗主要源于对输入电容 (C_{ISS})的充放电，该损耗分布于栅极驱动器的平均上拉及下拉电阻R_{DL} (≈1Ω)以及MOSFET的内部栅极电阻R_{GATE} (≈2Ω)上。驱动功耗由下式计算：

$$P_{LSDR} = C_{ISS} \times V_{GS}^2 \times f_{SW} \times \frac{R_{GATE}}{R_{GATE} + R_{DL}}$$

高边MOSFET用作占空比控制开关，具有以下主要损耗：

- 沟道传导损耗 (P_{HSCC})
- VI开关损耗 (P_{HSSW})
- 驱动损耗 (P_{HSDR})

(高边MOSFET没有体二极管传导损耗，因为该二极管不导通)：

$$P_{HSCC} = \frac{V_{OUT}}{V_{IN}} \times I_{LOAD}^2 \times R_{DS(ON)}$$

利用$T_{J(MAX)}$下的$R_{DS(ON)}$：

$$P_{HSSW} = V_{IN} \times I_{LOAD} \times f_{SW} \times \frac{Q_{GS} + Q_{GD}}{I_{GATE}}$$

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

其中I_{GATE}为DH驱动器平均输出电流，按下式计算：

$$I_{GATE(ON)} = \frac{2.5V}{R_{DH} + R_{GATE}}$$

其中R_{DH}为高边MOSFET驱动器的导通电阻 (典型值为1Ω)，且R_{GATE}为MOSFET的内部栅极电阻 (≈2Ω)：

$$P_{HSDR} = Q_G \times V_{GS} \times f_{SW} \times \frac{R_{GATE}}{R_{GATE} + R_{DH}}$$

其中 $V_{GS} = V_{DD} = 5V$。除上述损耗外，还应为其他损耗留出大约20%的额度，其中包括由于MOSFET输出电容及低边MOSFET体二极管反向恢复电荷在高边MOSFET上所造成的损耗，这种损耗在MOSFET数据资料中没有很好的规定。参照MOSFET数据资料中的热阻规范，利用上面得出的功耗，可计算出保证器件工作在预期的最大结温范围内所需要的PC板面积。为减少由开关噪声所引起的EMI，可在高边开关漏极与低边开关源极之间增加一个0.1µF陶瓷电容，或在DH及DL上串联电阻来减慢开关转换速度。增加串联电阻会增加MOSFET的功耗，因此需确信这不会使MOSFET过热。

MOSFET阻尼电路 (Buck)

快速开关转换会产生振铃，因为开关节点上的寄生电感和电容形成谐振电路。这种高频振铃发生在LX的上升及下降转换阶段，会影响电路的性能并产生EMI。为减少这种振铃，可在每个开关的两端增加一个串联RC阻尼电路。以下为选择阻尼电路串联RC值的简单步骤：

1) 用一个示波器探头测量 V_{LX} 至PGND1之间的信号，并观察振铃频率f_R；
2) 找到一个可将振铃频率降低一半的电容 (电容连接在LX至PGND1之间)，然后估算电路的离散电容 (C_{PAR})。C_{PAR}约为上述电容的1/3。
3) 再按下式来估算电路的寄生电感 (L_{PAR})：

$$L_{PAR} = \frac{1}{(2\pi \times f_R)^2 \times C_{PAR}}$$

4) 再按下式来估算临界阻尼电阻 (R_{SNUB})：$R_{SNUB} = 2\pi \times f_R \times L_{PAR}$。可上下调整该电阻以获得满意的阻尼及峰值电压飘移。
5) 电容 (C_{SNUB})应至少为C_{PAR}的2至4倍才有效。

阻尼电路的功耗 (P_{RSNUB})主要由电阻耗散，可按下式计算：

$$P_{RSNUB} = C_{SNUB} \times V_{IN}^2 \times f_{SW}$$

其中 V_{IN} 为输入电压，f_{SW}为开关频率。按照特定应用所要求的降额幅度，根据算出的功耗来选取R_{SNUB}的功率指标。

设置电流限 (Buck)

MAX8550/ MAX8551利用低边MOSFET (*典型应用电路*中的Q2)的导通电阻 ($R_{DS(ON)}$)检测电流。在计算电流限时，应采用MOSFET数据资料中最坏情况下的最大$R_{DS(ON)}$参数，并考虑到$R_{DS(ON)}$ 会随温度上升，应再增加一定的余量。一个通用的规律是：温度上升1°C电阻增加0.5%。

最小电流限制门限必须足够大，以便电流限位于容差范围的最小值时仍能支持最大负载电流。电感电流的谷值为$I_{LOAD(MAX)}$减去一半纹波电流，故：

$$I_{LIM(VAL)} > I_{LOAD(MAX)} - \left(\frac{I_{LOAD(MAX)} \times LIR}{2}\right)$$

其中$I_{LIM(VAL)}$等于最小谷值电流限制门限电压除以Q2导通电阻 ($R_{DS(ON)Q2}$)。连接ILIM至AV_{DD}可获得50mV的默认设置。在可调模式中，谷值电流限制门限精确地等于ILIM上电压的1/10*。从REF至GND连接一个电阻分压器，并将ILIM与中心抽头连接，即可对门限进行调整。外部250mV至2V的调节范围对应于25mV至200mV的谷值电流限制门限。在调节电流限时，可使用1%容差的电阻及大约10µA的分压器电流，以免给谷值电流门限带来显著的误差。

**在负向，可调电流限典型为ILIM上电压的 -1/8。*

折返式电流限制

作为另外一种选择，如果没有UVP锁定功能，则可使用折返式限流功能。折返式限流可减少外部器件的功耗，因此能够忍受无限期的过载和短路，过载或短路故障解除后还可自动恢复。要实现折返式限流，可从V_{OUT}到ILIM连接一个电阻 (图7及*典型应用电路*中的R6)，用于设置可调电流限的电阻分压网络仍然保留 (R4与R5)，如图7所示。

以下为R4、R5及R6的计算步骤：

1) 计算输出电压为额定值时，ILIM上所需的电压，$V_{ILIM(NOM)}$：

$$V_{ILIM(NOM)} = 10 \times I_{LOAD(MAX)} \times \left(1 - \frac{LIR}{2}\right) \times R_{DS(ON)Q2}$$

2) 从15%至40%选取一个折返百分比，PFB；

3) 计算输出电压短路时 (0V)的电压$V_{ILIM(0V)}$：

$$V_{ILIM(0V)} = P_{FB} \times V_{ILIM(NOM)}$$

4) 按下式计算R4：

$$R4 = \frac{2V - V_{ILIM(0V)}}{10\mu A}$$

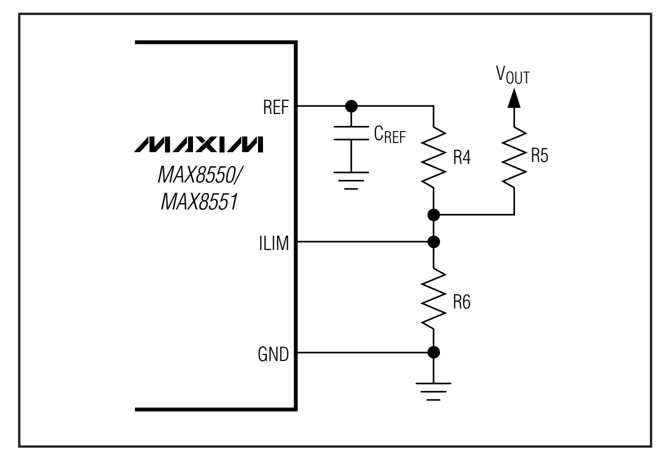


图7. 折返式电流限制

5) R5与R6的并联电阻 (用R56表示)计算如下：

$$R56 = \left(\frac{2V}{10\mu A}\right) - R4$$

6) 然后，R6可按下式计算：

$$R6 = \frac{V_{OUT} \times R4 \times R56}{\left[\left(V_{OUT} - \left(V_{ILIM(NOM)} - V_{ILIM(0V)}\right)\right) \times R4 - \left(\left(V_{ILIM(NOM)} - V_{ILIM(0V)}\right) \times R56\right)\right]}$$

7) R5为：

$$R5 = \frac{R6 \times R56}{R6 - R56}$$

自举电源二极管及电容的选择 (Buck)

低电流肖特基二极管，例如由Central Semiconductor公司提供的CMDSH-3，可很好地适应大多数应用。不要使用结电容较大的大功率二极管，因为它会将BST到LX的电压充高，乃至超过6V极限。自举电容应在0.1µF至4.7µF之间选取，取决于输入及输出电压、外接元件与PC板布局。自举电容应尽可能大，以免它被充至过高电压，同时还应足够小，以便在低边MOSFET的最小导通时间内充分充电，低边MOSFET的最小导通时间发生在最大工作占空比时 (也就是输入电压最小时)。此外，还应确保自举电容不会因放电而使电压跌落到无法充分打开高边MOSFET的程度，以保证足够小的导通电阻。这个最小栅－源电压 ($V_{GS(MIN)}$)由下式决定：

$$V_{GS(MIN)} = V_{DD} \times \frac{Q_G}{C_{BOOST}}$$

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

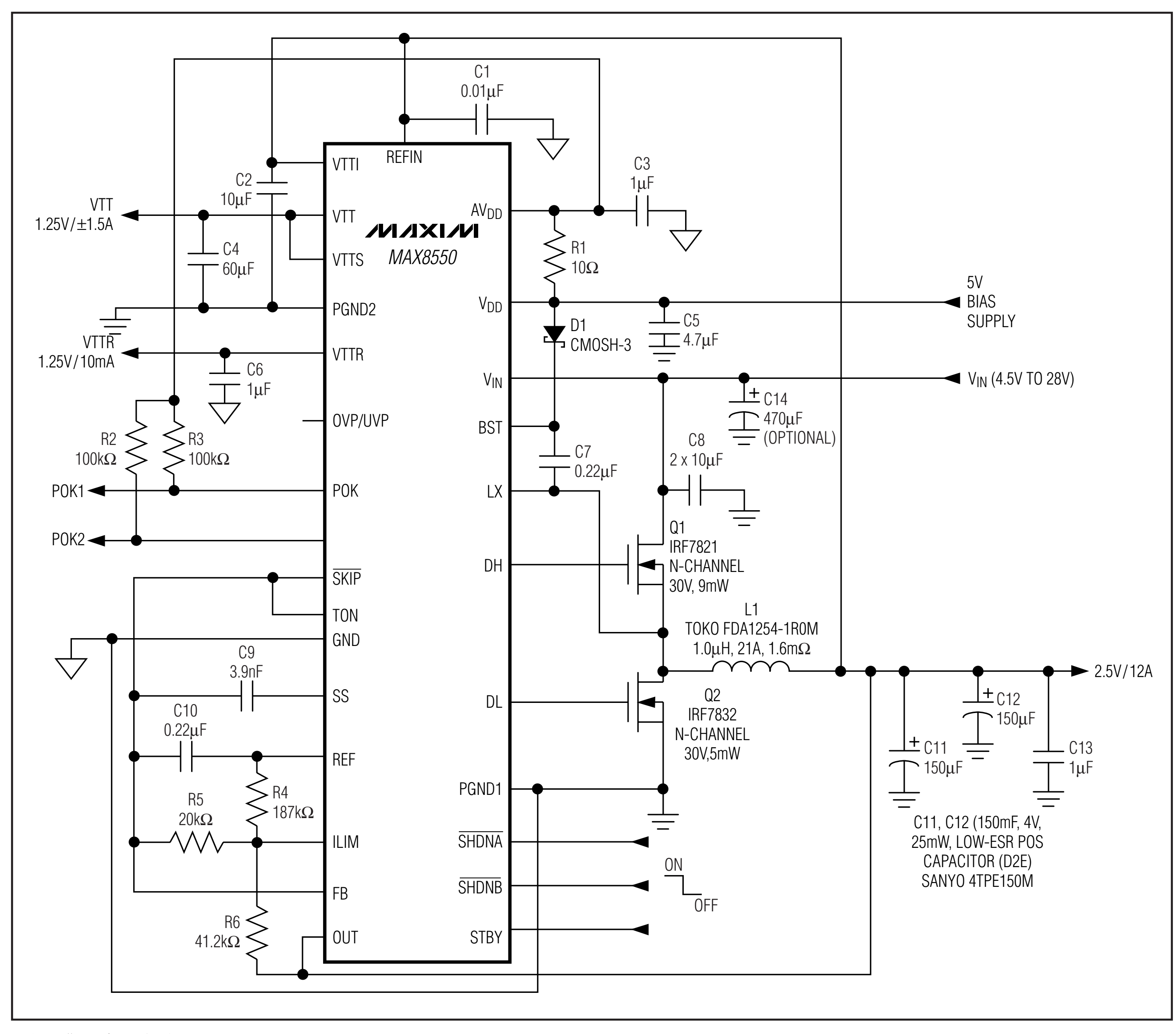


图 8. 典型应用电路

其中V_{DD}为5V，Q_G为高边MOSFET的总栅极电荷，C_{BOOST}为自举电容值，C_{BOOST}为*典型应用电路*中的C7 (图8)。

瞬态响应 (Buck)

电感纹波电流也影响器件的瞬态响应——尤其当V_{IN} - V_{OUT}差值较小时。低值电感允许电感电流更快地摆动，补足输出滤波电容上因负载突增而被抽走的电荷。

输出跌落量也与最大占空比有关，根据导通时间和最小关断时间计算如下：

$$V_{SAG} = \frac{L \times \Delta I_{LOAD(MAX)}^2 \left[\frac{V_{OUT} \times K}{V_{IN}} + t_{OFF(MIN)} \right]}{2C_{OUT} \times V_{OUT} \left[\frac{\left(V_{IN} - V_{OUT}\right) \times K}{V_{IN}} + t_{OFF(MIN)} \right]}$$

其中$t_{OFF(MIN)}$为最小关断时间 (参见*Electrical Characteristics*)，K从表1中选取。

当负载从满载到空载瞬变时，由电感的储能所引起的过冲可按下式计算：

$$V_{SOAR} = \frac{\Delta I_{LOAD(MAX)}^2 \times L}{2 \times C_{OUT} \times V_{OUT}}$$

应用信息

压差性能 (Buck)

连续传导工作模式下，输出电压的调节范围受限于不可调节的最小关断时间单稳态。为获得最佳的压差性能，可使用较慢 (200kHz)的开通时间设置。工作于低输入电压时，极限占空比必须根据最坏情况下的导通和关断时间来计算。制造容差及内部传导延时将给TON K因子引入误差，此误差在较高频率上更为明显 (参见表1)。请注意，过于接近压差条件工作的buck调节器具有较差的瞬态响应，常常需要使用很大尺寸的输出电容 (参见*设计步骤*中的V_{SAG}计算公式)。

当最小关断时间内电感电流的下降量 (ΔI_{DOWN})与开通时间内的上升量 (ΔI_{UP})持平时，即达到极限压差点。比值$h = \Delta I_{UP} / \Delta I_{DOWN}$表示控制器拉高电感电流以响应增加负载的能力，它必须总是大于1。当h接近于1时——即最小压差点，电感电流不能在每个开关周期内增加同样多的量，V_{SAG}将极大地增加，除非使用更多的输出电容。

合理的最小h值为1.5，但亦可上下调整，以便在V_{SAG}、输出电容及最小工作电压之间取得更好的平衡。对于给定的h值，最小工作电压可按下式计算：

$$V_{IN(MIN)} = \left[\frac{V_{OUT} \times V_{DROP1}}{1 - \left(\frac{h \times t_{OFF(MIN)}}{K} \right)} \right] + V_{DROP2} - V_{DROP1}$$

其中V_{DROP1}与V_{DROP2}为充、放电路径上的寄生压降 (参见*导通时间单稳态(TON)*部分)，$t_{OFF(MIN)}$参见*Electrical Characteristics*，K从表1中选取。计算绝对最小输入电压时取h = 1。

如果计算出的$V_{IN(MIN)}$大于所需的最小输入电压，则必须降低工作频率，或通过增加输出电容来获得一个可以接受的V_{SAG}。如果预计会在靠近压差的条件下工作，则要计算V_{SAG}看是否具有足够的瞬态响应。

压差设计举例如下：

$V_{OUT} = 2.5V$

$f_{SW} = 600kHz$

$K = 1.7\mu s$

$t_{OFF(MIN)} = 450ns$

$V_{DROP1} = V_{DROP2} = 100mV$

$h = 1.5$

$$V_{IN(MIN)} = \left[\frac{2.5V + 0.1V}{1 - \left(\frac{1.5V \times 450ns}{1.7\mu s} \right)} \right] + 0.1V - 0.1V = 4.3V$$

电压定位 (Buck)

在具有快速负载瞬变的应用中，输出电压会瞬时变化$R_{ESR} \times C_{OUT} \times \Delta I_{LOAD}$。电压定位可使这些应用使用更少的输出电容，并使输出电压的交流和直流容差窗口最大化，这对容差很紧张的应用非常有利。

图9显示了在一个电压定位电路中OUT与FB的连接。在非电压定位电路中，MAX8550/MAX8551调节的是输出电容上的电压。在电压定位电路中，MAX8550/MAX8551在电压定位电阻的电感侧进行调整。V_{OUT}被降低至：

$$V_{OUT(VPS)} = V_{OUT(NO_LOAD)} - R_{POS} \times I_{LOAD}$$

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

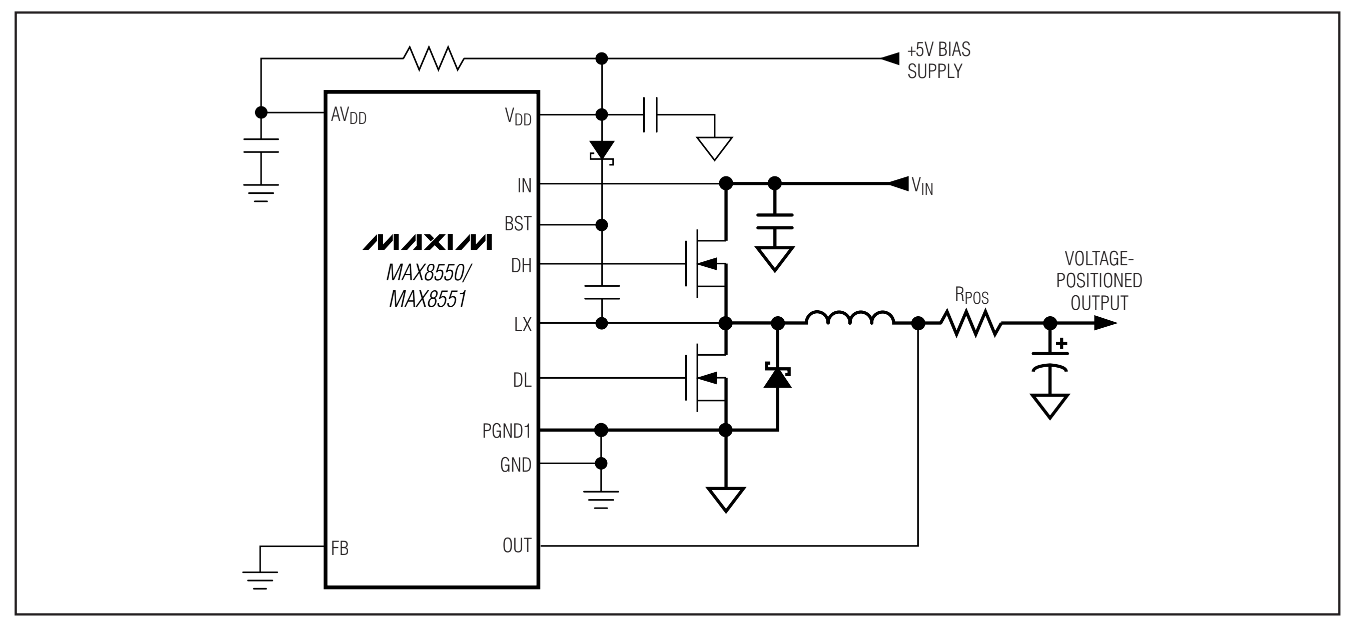


图9. 电压定位输出

PC板布局准则

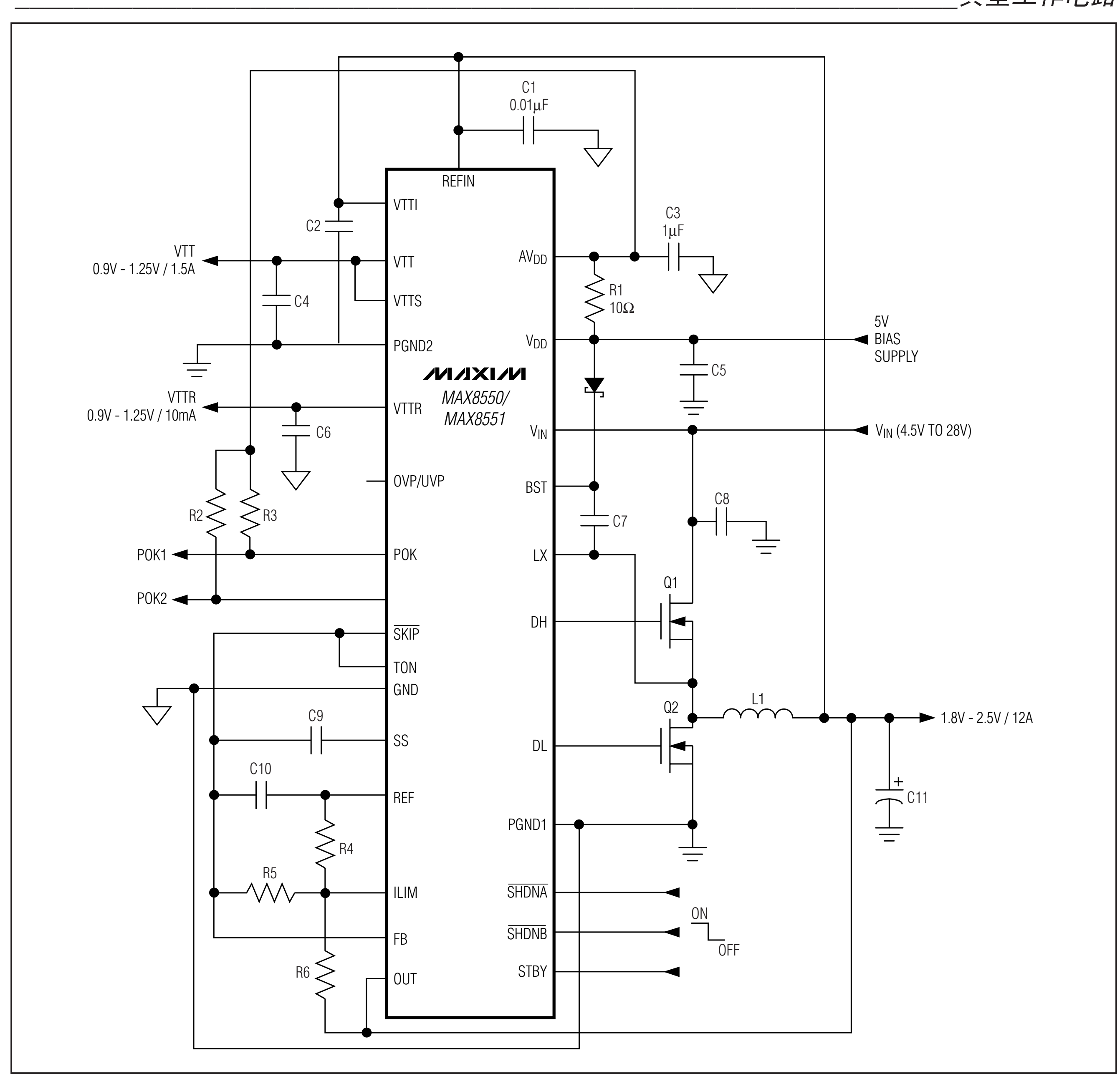
精心的PC板布局对于实现低开关损耗及干净、稳定的工作非常关键，尤其对开关功率级的布局需特别注意。如果可能，应将所有功率器件安装在电路板的顶层，且使其接地端齐平。良好的PC板布局应遵循以下准则：

- 使高电流路径尽可能短，尤其是接地端。这对于实现稳定及无抖动工作很关键。
- 承载大功率的走线和到负载的连线尽可能短，这对于获得高效率很重要。使用厚敷铜的PC板 (2oz对比1oz) 可使满负载效率提高1%或更多。正确的PC板布线是一项艰巨的任务，需达到了几分之一厘米的程度，mΩ级的引线电阻就会造成明显的效率损失。
- 到低边MOSFET的LX及PGND1连接必须采用开尔文感应连接方式。
- 当必须走比较长的线时，应优先考虑在电感的充电路径上增加长度，而尽量不要增加放电路径的长度。例如，最好将额外的距离放在输入电容与高边MOSFET之间，而不要增加电感与低边MOSFET或电感与输出滤波电容之间的距离。
- 使高速开关节点 (BST、LX、DH及DL)远离敏感的模拟区 (REF、FB及ILIM)。
- 必须使输入陶瓷电容的位置尽可能靠近高边MOSFET的漏极和低边MOSFET的源极，输入电容端子与MOSFET之间的阻抗要尽可能小。

LDO部分的特殊布局考虑

应使VTT上的电容尽可能靠近VTT及PGND2 (引脚12及11)，以减少走线的串联电阻/电感。电容器连接PGND2的一侧必须用低阻抗路径短接至IC底部的裸露垫片上。必须将裸露垫片以星形方式连接至GND (引脚24)、PGND1 (引脚23)、PGND2 (引脚11)。可用较窄的线将电容器VTT侧的输出电压接回VTTS (引脚9)，但应使这条线远离可能的噪声源，例如PGND1或PGND2。这能防止噪声被注入误差放大器的输入中。为获得最佳性能，应使VTTI旁路电容尽可能靠近VTTI (引脚13)。应使用干净的走线单独连接REFIN (引脚14)，并提供足够的旁路至GND。进一步的PC板布局准则，请参见MAX8550评估板数据手册。

典型工作电路



芯片信息

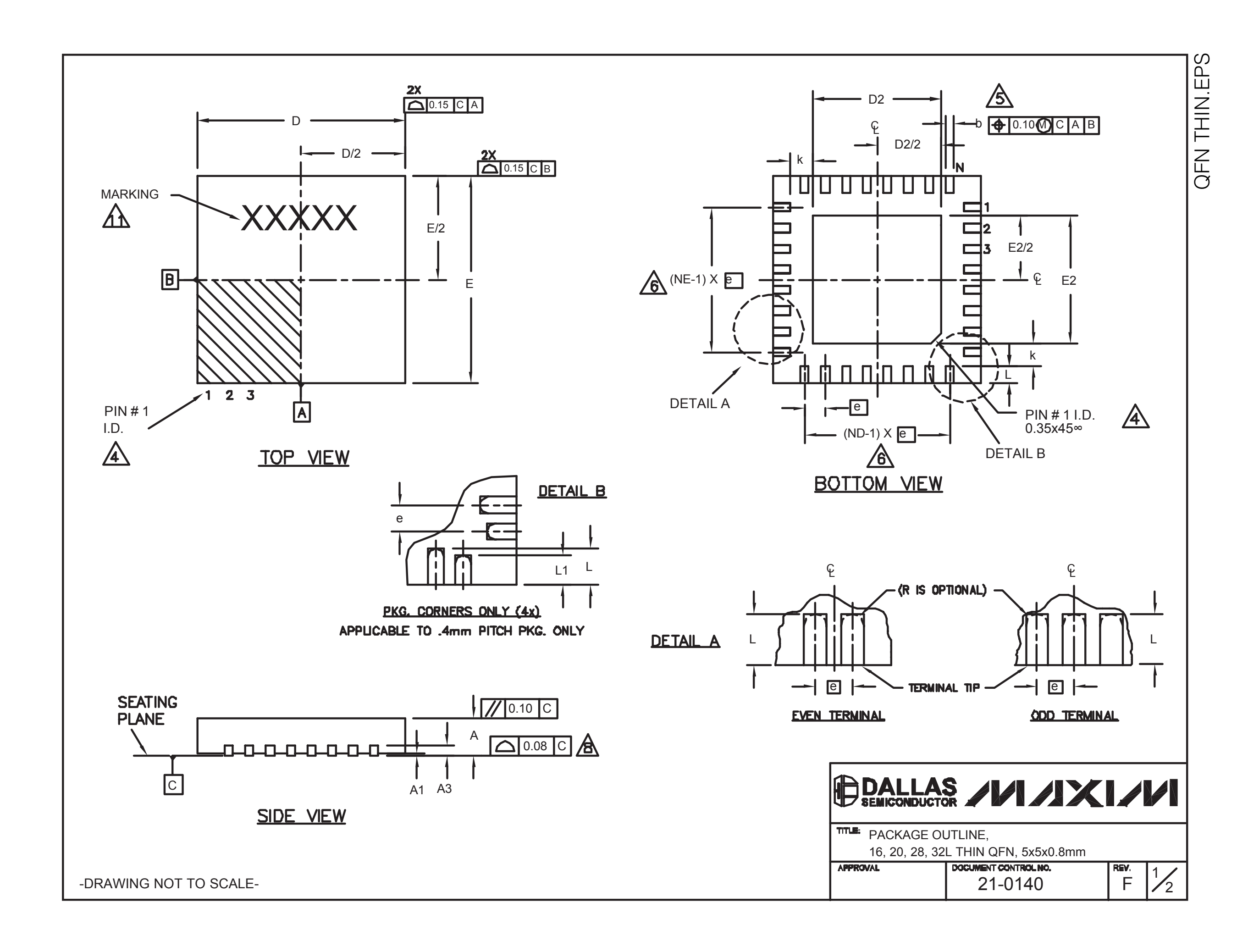
TRANSISTOR COUNT: 5100

PROCESS: BiCMOS

专为台式机、笔记本和图形卡提供的集成式DDR电源方案

封装信息

(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 www.maxim-ic.com.cn/packages。)



(本数据资料提供的封装图可能不是最近的规格，如需最近的封装外型信息，请查询 **www.maxim-ic.com.cn/packages**。)

COMMON DIMENSIONS												
PKG.	16L 5x5			20L 5x5			28L 5x5			32L 5x5		
SYMBOL	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.
A	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80	0.70	0.75	0.80
A1	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05	0	0.02	0.05
A3	0.20 REF.			0.20 REF.			0.20 REF.			0.20 REF.		
b	0.25	0.30	0.35	0.25	0.30	0.35	0.20	0.25	0.30	0.20	0.25	0.30
D	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
E	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10	4.90	5.00	5.10
e	0.80 BSC.			0.65 BSC.			0.50 BSC.			0.50 BSC.		
k	0.25	-	-	0.25	-	-	0.25	-	-	0.25	-	-
L	0.30	0.40	0.50	0.45	0.55	0.65	0.45	0.55	0.65	0.30	0.40	0.50
L1	-	-	-	-	-	-	-	-	-	-	-	-
N	16			20			28			32		
ND	4			5			7			8		
NE	4			5			7			8		
JEDEC	WHHB			WHHC			WHHD-1			WHHD-2		

EXPOSED PAD VARIATIONS								
PKG. CODES	D2			E2			L	DOWN BONDS ALLOWED
	MIN.	NOM.	MAX.	MIN.	NOM.	MAX.	±0.15	
T1655-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO
T1655-2	3.00	3.10	3.20	3.00	3.10	3.20	**	YES
T1655N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO
T2055-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO
T2055-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES
T2055-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO
T2055-5	3.15	3.25	3.35	3.15	3.25	3.35	0.40	Y
T2855-1	3.15	3.25	3.35	3.15	3.25	3.35	**	NO
T2855-2	2.60	2.70	2.80	2.60	2.70	2.80	**	NO
T2855-3	3.15	3.25	3.35	3.15	3.25	3.35	**	YES
T2855-4	2.60	2.70	2.80	2.60	2.70	2.80	**	YES
T2855-5	2.60	2.70	2.80	2.60	2.70	2.80	**	NO
T2855-6	3.15	3.25	3.35	3.15	3.25	3.35	**	NO
T2855-7	2.60	2.70	2.80	2.60	2.70	2.80	**	YES
T2855-8	3.15	3.25	3.35	3.15	3.25	3.35	0.40	Y
T2855N-1	3.15	3.25	3.35	3.15	3.25	3.35	**	N
T3255-2	3.00	3.10	3.20	3.00	3.10	3.20	**	NO
T3255-3	3.00	3.10	3.20	3.00	3.10	3.20	**	YES
T3255-4	3.00	3.10	3.20	3.00	3.10	3.20	**	NO
T3255N-1	3.00	3.10	3.20	3.00	3.10	3.20	**	NO

**SEE COMMON DIMENSIONS TABLE

NOTES:

1. DIMENSIONING & TOLERANCING CONFORM TO ASME Y14.5M-1994.
2. ALL DIMENSIONS ARE IN MILLIMETERS. ANGLES ARE IN DEGREES.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. THE TERMINAL #1 IDENTIFIER AND TERMINAL NUMBERING CONVENTION SHALL CONFORM TO JESD 95-1 SPP-012. DETAILS OF TERMINAL #1 IDENTIFIER ARE OPTIONAL, BUT MUST BE LOCATED WITHIN THE ZONE INDICATED. THE TERMINAL #1 IDENTIFIER MAY BE EITHER A MOLD OR MARKED FEATURE.
5. DIMENSION b APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.25 mm AND 0.30 mm FROM TERMINAL TIP.
6. ND AND NE REFER TO THE NUMBER OF TERMINALS ON EACH D AND E SIDE RESPECTIVELY.
7. DEPOPULATION IS POSSIBLE IN A SYMMETRICAL FASHION.
8. COPLANARITY APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
9. DRAWING CONFORMS TO JEDEC MO220, EXCEPT EXPOSED PAD DIMENSION FOR T2855-1, T2855-3 AND T2855-6.
10. WARPAGE SHALL NOT EXCEED 0.10 mm.
11. MARKING IS FOR PACKAGE ORIENTATION REFERENCE ONLY.
12. NUMBER OF LEADS SHOWN ARE FOR REFERENCE ONLY.

-DRAWING NOT TO SCALE-



TITLE: PACKAGE OUTLINE, 16, 20, 28, 32L THIN QFN, 5x5x0.8mm

APPROVAL | DOCUMENT CONTROL NO. 21-0140 | REV. F | 2/2

MAXIM北京办事处

北京 8328信箱　邮政编码 100083

免费电话：800 810 0310

电话：010-6201 0598

传真：010-6201 0298